



第四章 组合逻辑电路

本章目录

- 4.1 概述
- 4.2 组合逻辑电路的分析方法
- 4.3 组合逻辑电路的基本设计方法
- 4.4 若干常用的组合逻辑电路模块
- 4.5 层次化和模块化的设计方法
- 4.6 可编程逻辑器件
- 4.7 硬件描述语言
- 4.8 用可编程通用模块设计组合逻辑电路
- 4.9 组合逻辑电路中的竞争—冒险

2017-8-4

第四章 组合逻辑电路

1

§ 4.1 概述



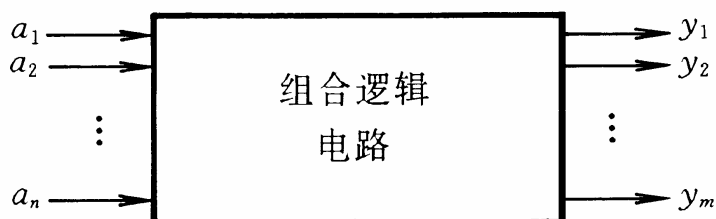
数字逻辑电路分类：组合逻辑电路和时序逻辑电路。

一、组合逻辑电路的特点

组合逻辑电路逻辑功能特点：任意时刻的输出仅取决于该时刻的输入，与电路原来的状态无关。

组合逻辑电路电路结构特点：不能包含有存储单元。

二、逻辑功能的描述



组合逻辑电路的框图

$$\begin{aligned}y_1 &= f_1(a_1, a_2, \dots, a_n) \\y_2 &= f_2(a_1, a_2, \dots, a_n) \\&\vdots \\y_m &= f_m(a_1, a_2, \dots, a_n)\end{aligned}$$

$$Y = F(A)$$

2017-8-4

第四章 组合逻辑电路

2



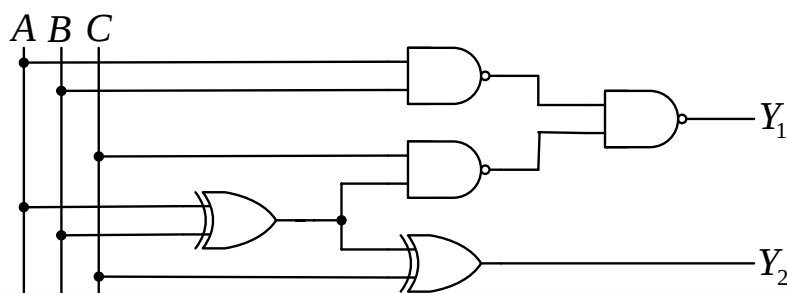
§ 4.2 组合逻辑电路的分析方法

组合逻辑电路分析：给定某逻辑电路，分析其逻辑功能。

分析的步骤：

- (1) 由所给电路写出输出端的逻辑式；
- (2) 将所得的逻辑式进行化简；
- (3) 由化简后的逻辑式写出输出输入的真值表；
- (4) 由真值表分析电路的逻辑功能。

例：试分析图示电路的逻辑功能。



2017-8-4

第四章 组合逻辑电路

3



§ 4.3 组合逻辑电路的基本设计方法

组合逻辑电路设计：给定某逻辑问题，求出实现这一逻辑功能的最简电路。

一、逻辑抽象

- 分析因果关系，确定输入/输出变量
- 定义逻辑状态的含意（逻辑状态赋值）
- 列出真值表

二、写出函数式

三、选定器件类型

四、将逻辑函数化简或转换成适当的形式

五、画出逻辑电路图

六、设计验证

七、工艺设计

2017-8-4

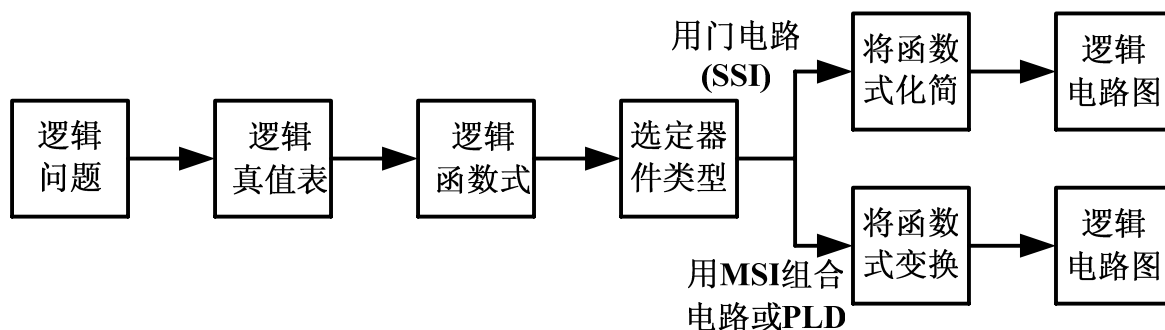
第四章 组合逻辑电路

4

§ 4.3 组合逻辑电路的基本设计方法



组合逻辑电路设计过程的框图



2017-8-4

第四章 组合逻辑电路

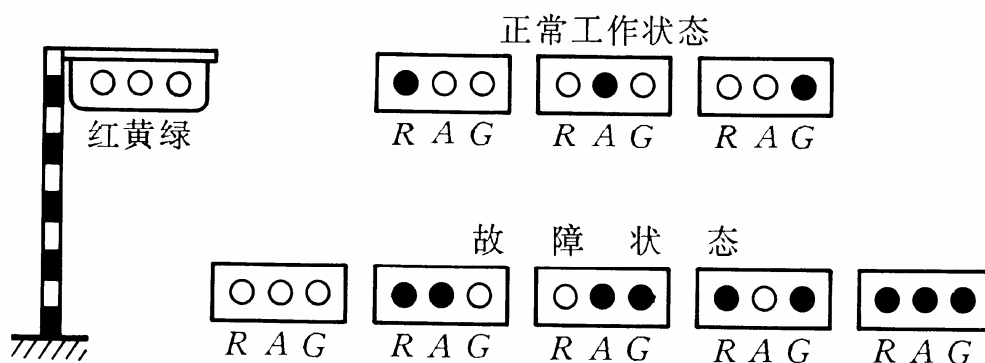
5

§ 4.3 组合逻辑电路的基本设计方法



设计举例：

●设计一个监视交通信号灯工作状态的逻辑电路。每一组信号灯均由红、黄、绿三盏灯组成，如下图所示。正常工作情况下，任何时刻必有一盏灯点亮，而且只允许有一盏灯点亮。当出现其他五种点亮状态时，电路发生故障，这时要求发出故障信号，以提醒维护人员前去修理。



2017-8-4

第四章 组合逻辑电路

6



§ 4.3 组合逻辑电路的基本设计方法

设计举例：

1. 逻辑抽象

➤输入变量：

红 (R)、黄 (A)、绿 (G)

➤输出变量：

故障信号 (Z)

➤逻辑状态赋值：

规定灯亮为1，不亮为0

规定发生故障为1，正常工作为0

➤列出真值表

输入变量			输出
R	A	G	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

2. 写出逻辑表达式

$$Z = R' A' G' + R' A G + R A' G + R A G' + R A G$$

2017-8-4

第四章 组合逻辑电路

7



§ 4.3 组合逻辑电路的基本设计方法

设计举例：

3. 选用小规模SSI器件

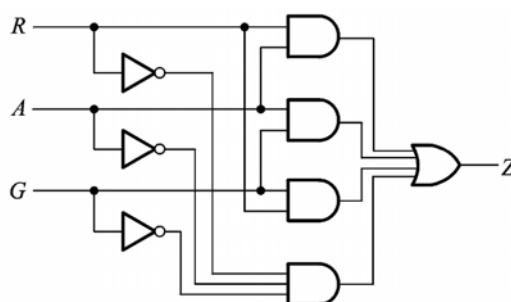
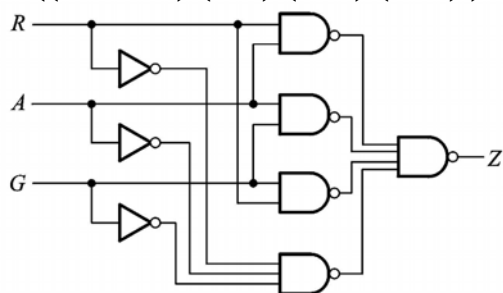
4. 化简

$$Z = R' A' G' + R A + R G + A G$$

5. 画出逻辑图

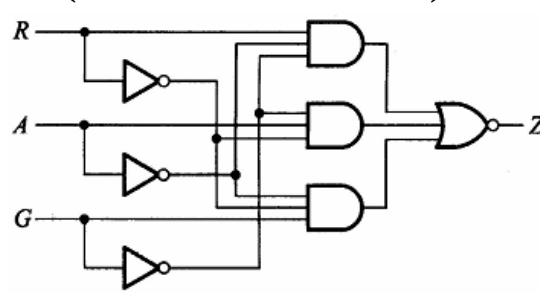
用与非门实现：

$$Z = ((R' A' G')' (R A)' (R G)' (A G)')'$$



用与或非门实现：

$$Z = (R A' G' + R' A G' + R' A' G)'$$



2017-8-4

第四章 组合逻辑电路

8

§ 4.4 若干常用的组合逻辑电路模块



编码器、译码器、数据选择器、数值比较器和加法器等。

4.4.1 编码器

编码：将输入的每一个高、低电平信号编成一个对应的二进制代码。

编码器：具有编码功能的逻辑电路。

编码器从逻辑功能特点可分为普通编码器和优先编码器。

根据进制可分为二进制编码器和二—十进制编码器。

2017-8-4

第四章 组合逻辑电路

9

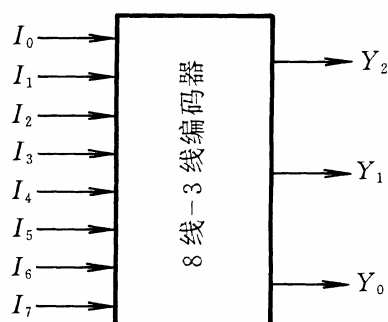
§ 4.4 若干常用的组合逻辑电路模块



一、普通编码器

特点：任何时刻只允许输入一个编码信号。

例：3位二进制普通编码器



输 入								输 出		
I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	Y ₂	Y ₁	Y ₀
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

$$Y_2 = I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0' + I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0' + I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0' + I_7' I_6' I_5' I_4' I_3' I_2' I_1' I_0'$$

2017-8-4

第四章 组合逻辑电路

10



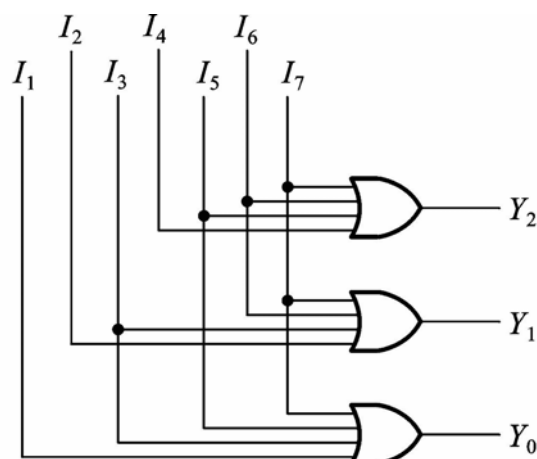
§ 4.4 若干常用的组合逻辑电路模块

利用约束项化简，得：

$$Y_2 = I_4 + I_5 + I_6 + I_7$$

$$Y_1 = I_2 + I_3 + I_6 + I_7$$

$$Y_0 = I_1 + I_3 + I_5 + I_7$$



思考：该逻辑图能否实现对 I_0 的编码？

2017-8-4

第四章 组合逻辑电路

11



§ 4.4 若干常用的组合逻辑电路模块

二、优先编码器

特点：允许同时输入两个以上的编码信号，当几个信号同时出现时，只对其中优先权最高的一个进行编码。

例：8线-3线优先编码器
(设 I_7 优先权最高... I_0 优先权最低)

输 入								输 出		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0
X	X	X	X	X	X	X	1	1	1	1
X	X	X	X	X	X	1	0	1	1	0
X	X	X	X	X	1	0	0	1	0	1
X	X	X	1	0	0	0	0	1	0	0
X	X	1	0	0	0	0	0	0	1	1
X	1	0	0	0	0	0	0	0	1	0
X	1	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	0	0

$$Y_2 = I_7 + I_7'I_6 + I_7'I_6'I_5 + I_7'I_6'I_5'I_4$$

$$Y_2 = I_7 + I_6 + I_5 + I_4$$

$$Y_1 = I_7 + I_6 + I_5'I_4'I_3 + I_5'I_4'I_2$$

$$Y_0 = I_7 + I_6'I_5 + I_6'I_4'I_3 + I_6'I_4'I_2'I_1$$

2017-8-4

第四章 组合逻辑电路

12

§ 4.4 若干常用的组合逻辑电路模块



实例：74HC148

输 入									输 出				
S'	I'_0	I'_1	I'_2	I'_3	I'_4	I'_5	I'_6	I'_7	Y'_2	Y'_1	Y'_0	Y'_S	Y'_{EX}
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1
0	X	X	X	X	X	X	X	0	0	0	0	1	0
0	X	X	X	X	X	X	0	1	0	0	1	1	0
0	X	X	X	X	X	0	1	1	0	1	0	1	0
0	X	X	X	X	0	1	1	1	0	1	1	1	0
0	X	X	X	0	1	1	1	1	1	0	0	1	0
0	X	X	0	1	1	1	1	1	1	0	1	1	0
0	X	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0

2017-8-4

第四章 组合逻辑电路

13

§ 4.4 若干常用的组合逻辑电路模块



实例：74HC148的附加信号

S' 为选通输入端，当 $S'=1$ 时所有输出端均被封锁在高电平；
当 $S'=0$ 时，编码器正常工作。

$Y'_S=0$ 时，表示“电路工作，但无编码输入”。

$Y'_{EX}=0$ 时，表示“电路工作，而且有编码输入”。

附加输出信号的状态及含义：

Y'_S	Y'_{EX}	状态
1	1	不工作
0	1	工作，但无输入
1	0	工作，且有输入
0	0	不可能出现

2017-8-4

第四章 组合逻辑电路

14

§ 4.4 若干常用的组合逻辑电路模块

74HC148逻辑函数式与逻辑图

$$Y_2' = ((I_7 + I_6 + I_5 + I_4)S)'$$

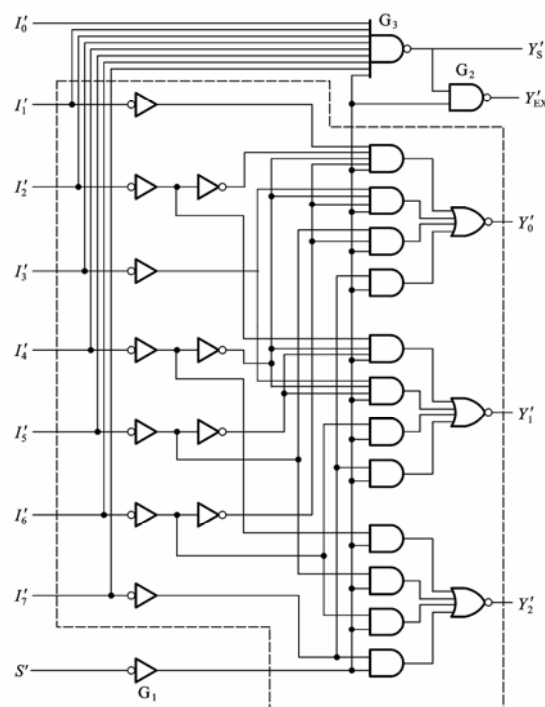
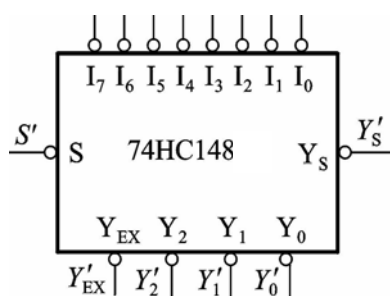
$$Y_1' = ((I_7 + I_6 + I_5'I_4'I_3 + I_5'I_4'I_2)S)'$$

$$Y_0' = ((I_7 + I_6'I_5 + I_6'I_4'I_3 + I_6'I_4'I_2'I_1)S)'$$

$$Y_S' = (I_7'I_6'I_5'I_4'I_3'I_2'I_1'I_0'S)'$$

$$Y_{EX}' = ((I_7'I_6'I_5'I_4'I_3'I_2'I_1'I_0'S)'S)'$$

$$= ((I_7 + I_6 + I_5 + I_4 + I_3 + I_2 + I_1 + I_0)S)'$$



2017-8-4

第四章 组合逻辑电路

15

§ 4.4 若干常用的组合逻辑电路模块

三、二-十进制优先编码器

将 $I_9' \sim I_0'$ 10个输入信号分别编成10个BCD代码，
 I_9' 的优先权最高， I_0' 的优先权最低

实例：74HC147

输 入										输 出			
I_1'	I_2'	I_3'	I_4'	I_5'	I_6'	I_7'	I_8'	I_9'		Y_3'	Y_2'	Y_1'	Y_0'
1	1	1	1	1	1	1	1	1		1	1	1	1
×	×	×	×	×	×	×	×	0		0	1	1	0
×	×	×	×	×	×	×	0	1		0	1	1	1
×	×	×	×	×	×	0	1	1		1	0	0	0
×	×	×	×	×	0	1	1	1		1	0	0	1
×	×	×	×	0	1	1	1	1		1	0	1	0
×	×	×	0	1	1	1	1	1		1	0	1	1
×	×	0	1	1	1	1	1	1		1	1	0	0
×	0	1	1	1	1	1	1	1		1	1	0	1
0	1	1	1	1	1	1	1	1		1	1	1	0

2017-8-4

第四章 组合逻辑电路

16



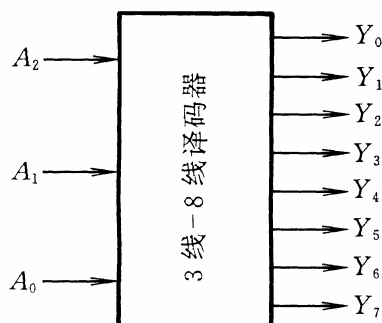
§ 4.4 若干常用的组合逻辑电路模块

4.4.2 译码器

- 译码：将每个输入的二进制代码译成对应的输出高、低电平信号。
- 译码器：具有译码功能的逻辑电路。
- 常用的译码器：二进制译码器，二-十进制译码器，显示译码器等

一、二进制译码器

例：3线—8线译码器



2017-8-4

第四章 组合逻辑电路

17



§ 4.4 若干常用的组合逻辑电路模块

例：3线—8线译码器

输 入			输 出							
A_2	A_1	A_0	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

逻辑表达式：

$$Y_0 = A_2' A_1' A_0' = m_0$$

$$Y_1 = A_2' A_1' A_0 = m_1$$

$$Y_2 = A_2' A_1 A_0' = m_2$$

$$Y_3 = A_2' A_1 A_0 = m_3$$

$$Y_4 = A_2 A_1' A_0' = m_4$$

$$Y_5 = A_2 A_1' A_0 = m_5$$

$$Y_6 = A_2 A_1 A_0' = m_6$$

$$Y_7 = A_2 A_1 A_0 = m_7$$

2017-8-4

第四章 组合逻辑电路

18

§ 4.4 若干常用的组合逻辑电路模块



逻辑表达式：

$$Y_0 = A_2' A_1' A_0' = m_0$$

$$Y_1 = A_2' A_1' A_0 = m_1$$

$$Y_2 = A_2' A_1 A_0' = m_2$$

$$Y_3 = A_2' A_1 A_0 = m_3$$

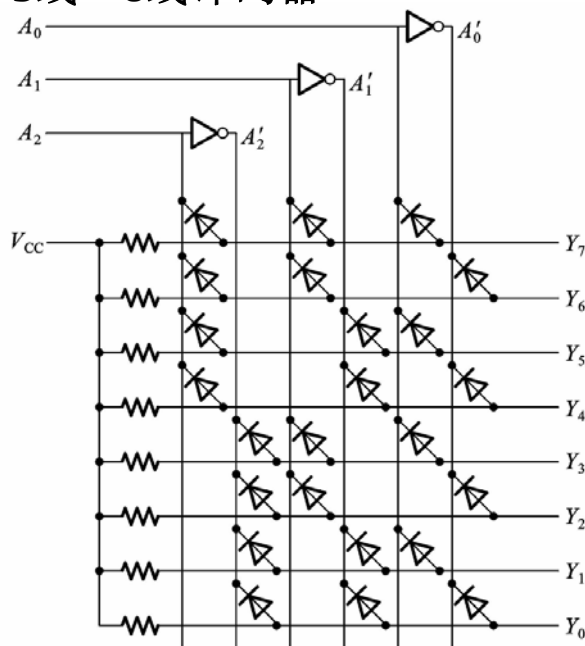
$$Y_4 = A_2 A_1' A_0' = m_4$$

$$Y_5 = A_2 A_1' A_0 = m_5$$

$$Y_6 = A_2 A_1 A_0' = m_6$$

$$Y_7 = A_2 A_1 A_0 = m_7$$

用二极管与门阵列组成的
3线—8线译码器



2017-8-4

第四章 组合逻辑电路

19

§ 4.4 若干常用的组合逻辑电路模块



实例：74HC138的功能表

输 入					输 出							
S_1	$S_2' + S_3'$	A_2	A_1	A_0	Y_7'	Y_6'	Y_5'	Y_4'	Y_3'	Y_2'	Y_1'	Y_0'
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

附加控制端：

(1)当附加控制端 $S_1=0$ 或 $S_2'+S_3'=1$ 时，译码器被禁止工作，输出端状态全部为高电平。

(2)当附加控制端 $S_1=1$ 且 $S_2'+S_3'=0$ 时，译码器处于工作状态。

2017-8-4

第四章 组合逻辑电路

20

§ 4.4 若干常用的组合逻辑电路模块

实例：74HC138

逻辑表达式：

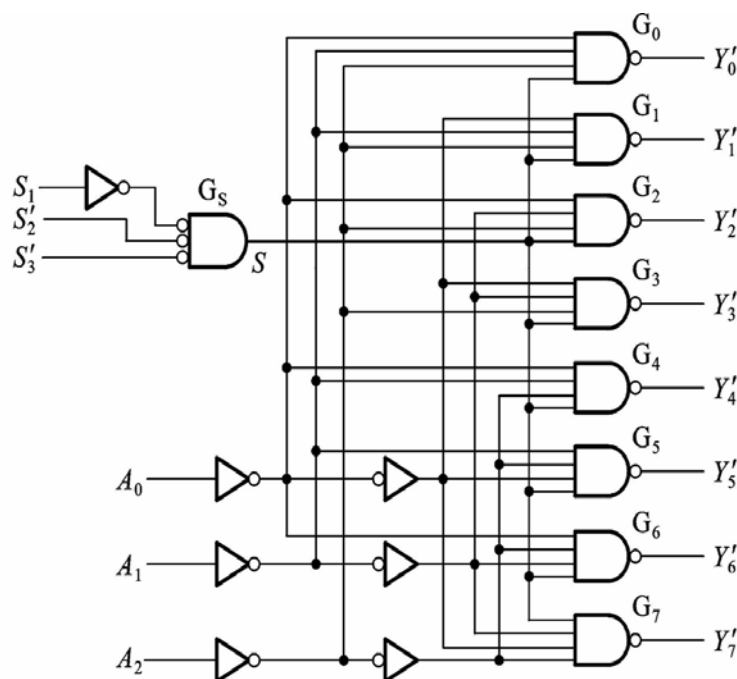
$$Y'_i = (m_i \cdot S_1 \cdot (S'_2 + S'_3))'$$

•数据分配器

数据分配：将公共数据线上的数据送到相应的输出端。

数据分配器：实现数据分配功能的逻辑电路。

带控制输入端的译码器可看成数据分配器。



2017-8-4

第四章 组合逻辑电路

21

§ 4.4 若干常用的组合逻辑电路模块

二、二-十进制译码器

◆将输入BCD码的10个代码译成10个高、低电平的输出信号

二-十进制译码器74HC42的真值表

序号	输入				输出									
	A_3	A_2	A_1	A_0	Y'_0	Y'_1	Y'_2	Y'_3	Y'_4	Y'_5	Y'_6	Y'_7	Y'_8	Y'_9
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
2	0	0	1	0	1	1	0	1	1	1	1	1	1	1
3	0	0	1	1	1	1	1	0	1	1	1	1	1	1
4	0	1	0	0	1	1	1	1	0	1	1	1	1	1
5	0	1	0	1	1	1	1	1	1	0	1	1	1	1
6	0	1	1	0	1	1	1	1	1	1	0	1	1	1
7	0	1	1	1	1	1	1	1	1	1	1	0	1	1
8	1	0	0	0	1	1	1	1	1	1	1	1	0	1
9	1	0	0	1	1	1	1	1	1	1	1	1	1	0
伪码	1	0	1	0	1	1	1	1	1	1	1	1	1	1
	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	1	1	0	0	1	1	1	1	1	1	1	1	1	1
	1	1	0	1	1	1	1	1	1	1	1	1	1	1
	1	1	1	0	1	1	1	1	1	1	1	1	1	1

◆BCD码以外的伪码，输出均无低电平信号产生

2017-8-4

第四章 组合逻辑电路

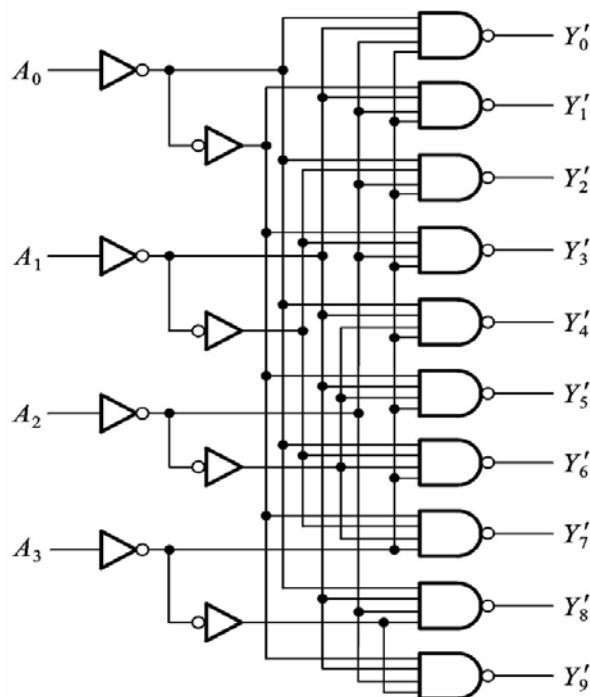
22

§ 4.4 若干常用的组合逻辑电路模块



74HC42逻辑函数式与逻辑图

$$\begin{aligned} Y'_0 &= (A'_3 A'_2 A'_1 A'_0)' \\ Y'_1 &= (A'_3 A'_2 A'_1 A_0)' \\ Y'_2 &= (A'_3 A'_2 A_1 A'_0)' \\ Y'_3 &= (A'_3 A'_2 A_1 A_0)' \\ Y'_4 &= (A_3 A'_2 A'_1 A'_0)' \\ Y'_5 &= (A_3 A'_2 A'_1 A_0)' \\ Y'_6 &= (A_3 A'_2 A_1 A'_0)' \\ Y'_7 &= (A_3 A'_2 A_1 A_0)' \\ Y'_8 &= (A_3 A_2 A'_1 A'_0)' \\ Y'_9 &= (A_3 A_2 A'_1 A_0)' \\ Y'_i &= m'_i \quad (i = 0 \sim 9) \end{aligned}$$



2017-8-4

第四章 组合逻辑电路

23

§ 4.4 若干常用的组合逻辑电路模块



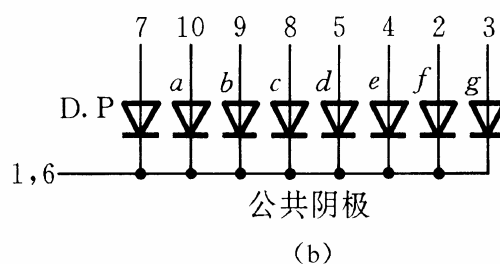
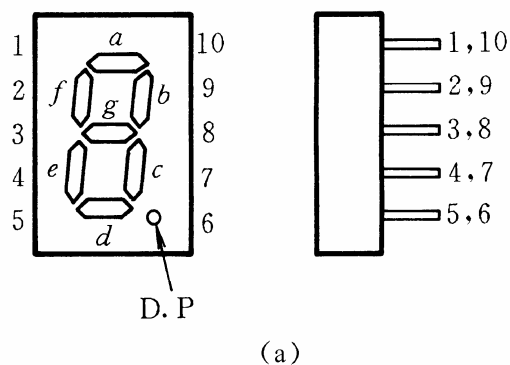
三、显示译码器

1 七段字符显示器

用七段可发光的线段显示0~9十进制数码，常用的七段字符显示器有半导体数码管和液晶显示器两种。

(1) 半导体数码管显示器（LED显示器）

半导体数码管BS201A（共阴极）的外形图及等效电路



2017-8-4

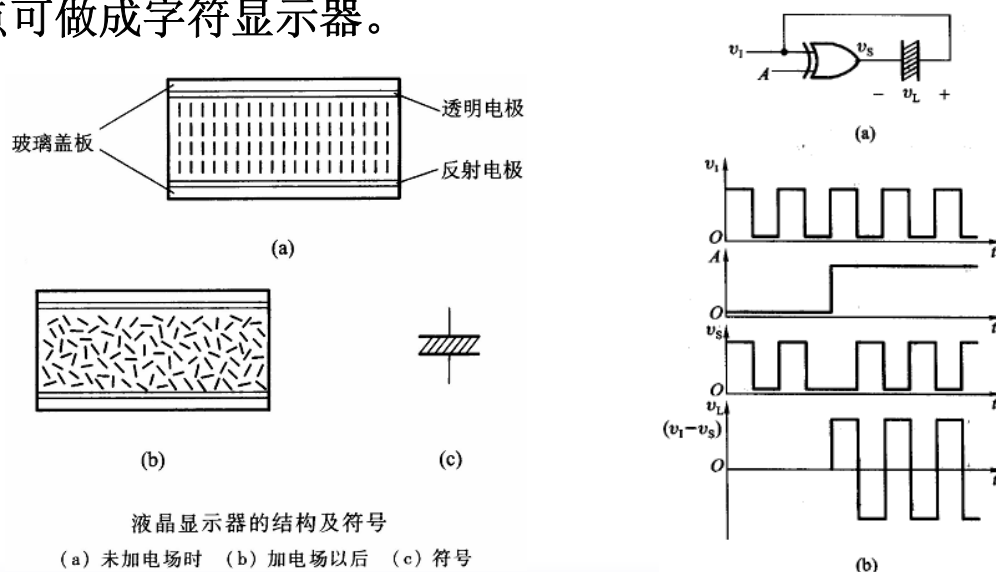
第四章 组合逻辑电路

24

§ 4.4 若干常用的组合逻辑电路模块

(2) 液晶显示器 (LCD 显示器)

液晶是一种既有液体的流动性又具有光学特性的有机化合物。它的透明度和呈现的颜色受外加电场的影响，利用这一特点可做成字符显示器。



2017-8-4

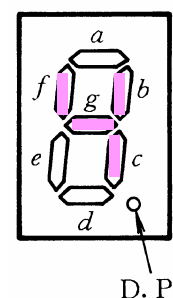
第四章 组合逻辑电路

25

§ 4.4 若干常用的组合逻辑电路模块

2 BCD-七段显示译码器

输 入					输 出							字形
数字	A_3	A_2	A_1	A_0	Y_a	Y_b	Y_c	Y_d	Y_e	Y_f	Y_g	
0	0	0	0	0	1	1	1	1	1	1	0	
1	0	0	0	1	0	1	1	0	0	0	0	
2	0	0	1	0	1	1	0	1	1	0	1	
3	0	0	1	1	1	1	1	1	0	0	1	
4	0	1	0	0	0	1	1	0	0	1	1	
5	0	1	0	1	1	0	1	1	0	1	1	
6	0	1	1	0	0	0	1	1	1	1	1	
7	0	1	1	1	1	1	1	0	0	0	0	
8	1	0	0	0	1	1	1	1	1	1	1	
9	1	0	0	1	1	1	1	0	0	1	1	
10	1	0	1	0	0	0	0	1	1	0	1	
11	1	0	1	1	0	0	1	1	0	0	1	
12	1	1	0	0	0	1	0	0	0	1	1	
13	1	1	0	1	1	0	0	1	0	1	1	
14	1	1	1	0	0	0	0	1	1	1	1	
15	1	1	1	1	0	0	0	0	0	0	0	

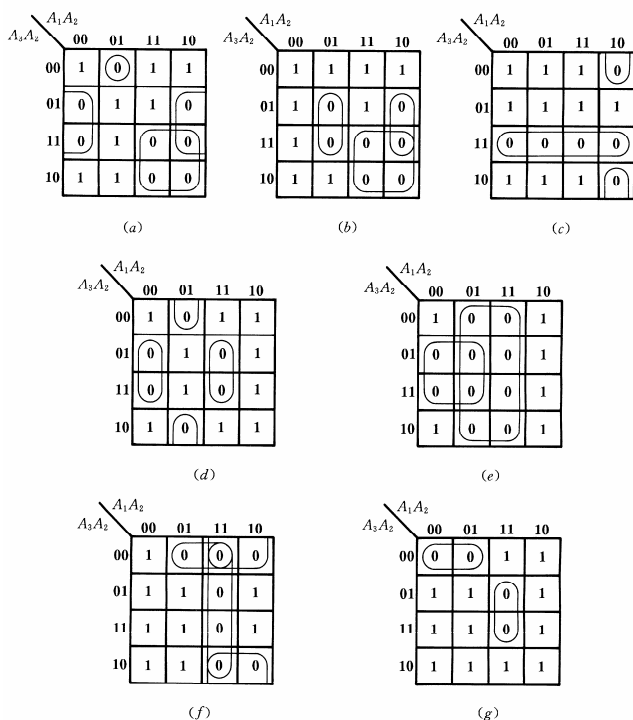


2017-8-4

第四章 组合逻辑电路

26

§ 4.4 若干常用的组合逻辑电路模块



$$\begin{aligned}
 Y_a &= (A'_3 A'_2 A'_1 A_0 + A_3 A_1 + A_2 A'_0)' \\
 Y_b &= (A_3 A_1 + A_2 A_1 A'_0 + A_2 A'_1 A_0)' \\
 Y_c &= (A_3 A_2 + A'_2 A_1 A'_0)' \\
 Y_d &= (A_2 A_1 A_0 + A_2 A'_1 A'_0 + A'_2 A'_1 A_0)' \\
 Y_e &= (A_2 A'_1 + A_0)' \\
 Y_f &= (A'_3 A'_2 A_0 + A'_2 A_1 + A_1 A_0)' \\
 Y_g &= (A'_3 A'_2 A'_1 + A_2 A_1 A_0)'
 \end{aligned}$$

2017-8-4

第四章 组合逻辑电路

27

§ 4.4 若干常用的组合逻辑电路模块

BCD-七段显示译码器7448的逻辑图

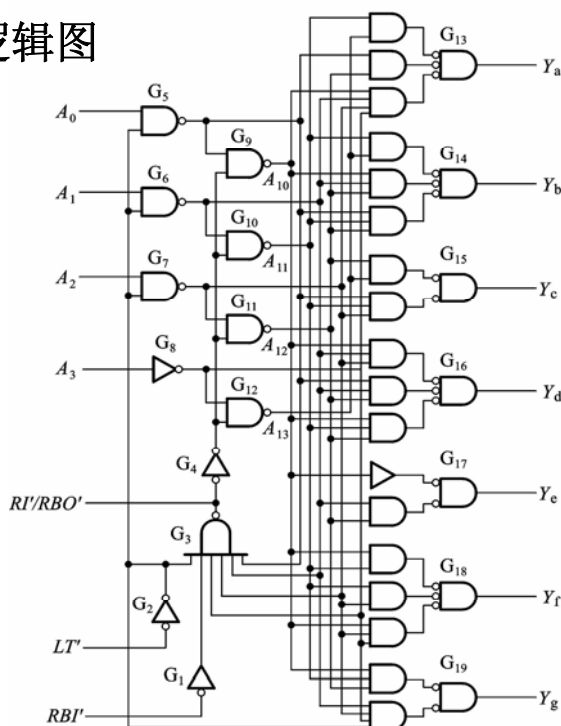
●附加控制端的功能和用法

(1)灯测试输入LT'

LT'=0 时, Ya ~ Yg全部置为1, 数码管显示“8”

(2)灭零输入RBI'

当A₃A₂A₁A₀=0000时, 若RBI'=0, 则Ya ~ Yg全部置为0, 灭灯



2017-8-4

第四章 组合逻辑电路

28

§ 4.4 若干常用的组合逻辑电路模块



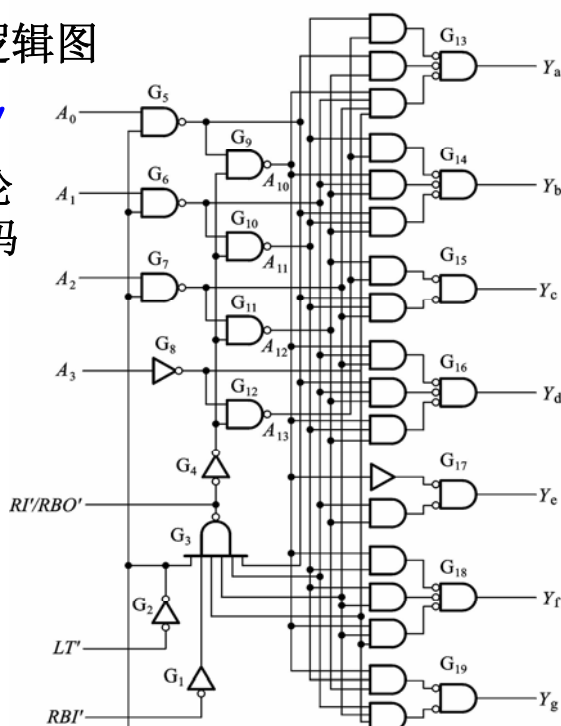
BCD-七段显示译码器7448的逻辑图

(3) 灭灯输入/灭零输出 $\overline{BI}/\overline{RBO}$

当做为输入端时，若 $\overline{BI}=0$ ，无论输入 $A_3 A_2 A_1 A_0$ 为何种状态，数码管熄灭，称灭灯输入控制端

当做为输出端时，只有当 $A_3 A_2 A_1 A_0 = 0000$ 且灭零输入信号 $\overline{RBI}=0$ 时， $\overline{RBO}=0$ ，称灭零输出端

因此 $\overline{RBO}=0$ 表示译码器将本来应该显示的零熄灭了



2017-8-4

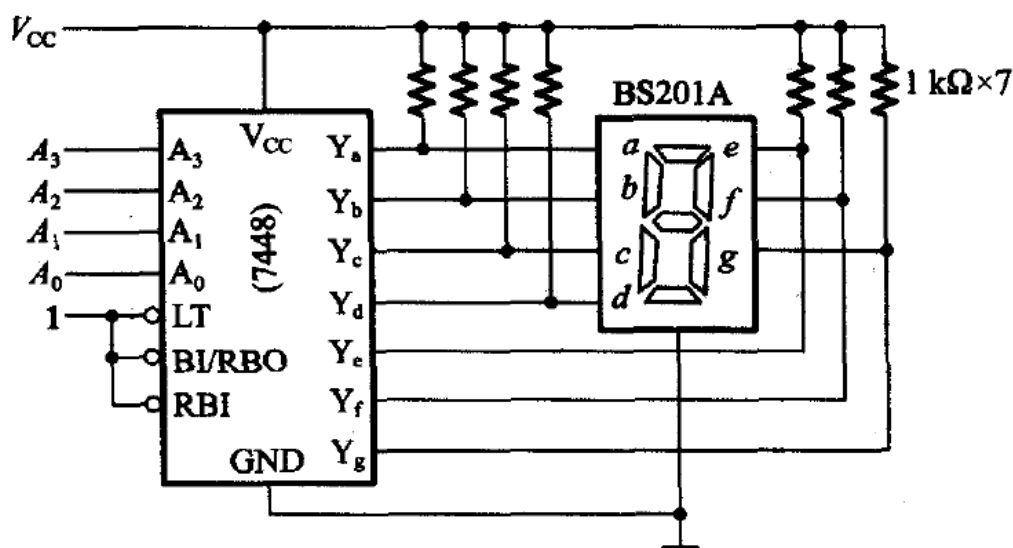
第四章 组合逻辑电路

29

§ 4.4 若干常用的组合逻辑电路模块



例1：用7448驱动BS201A的连接方法

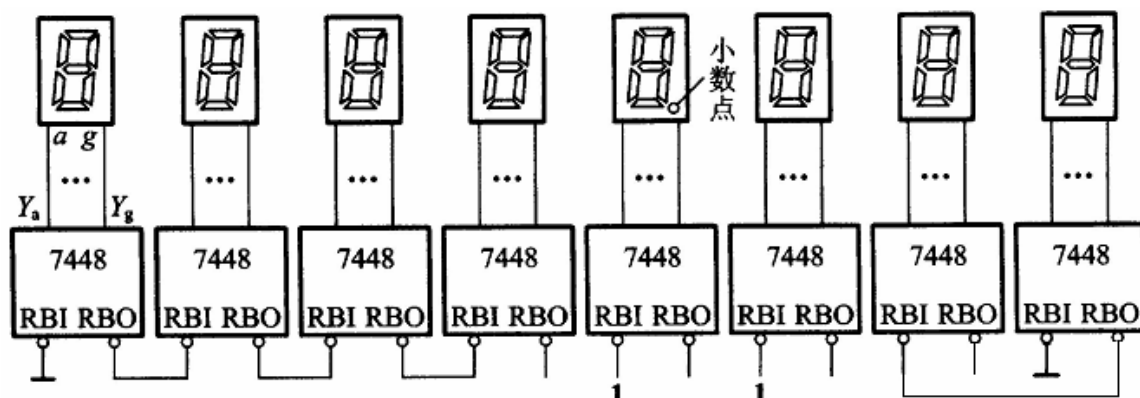


2017-8-4

第四章 组合逻辑电路

30

例2：利用RBI'和RBO'的配合，实现多位显示系统的灭零控制



有灭零控制的 8 位数码显示系统

- 整数部分：把高位的RBO'与低位的RBI'相连
- 小数部分：把低位的RBO'与高位的RBI'相连

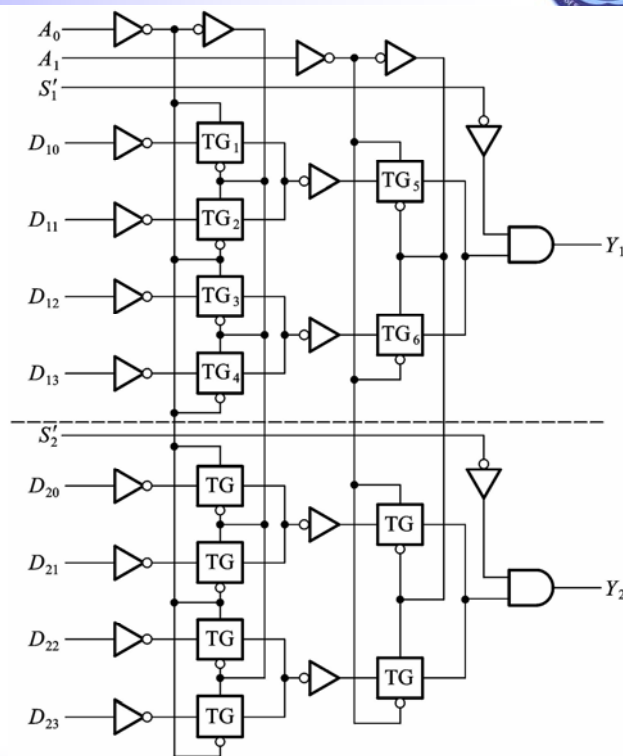
4.4.3 数据选择器

数据选择：在数字信号的传输过程中，从一组数据中选出某一个送到输出端。

数据选择器：实现数据选择的逻辑电路，也叫多路开关。

一、数据选择器的工作原理

实例：74HC153
(双4选1数据选择器)





§ 4.4 若干常用的组合逻辑电路模块

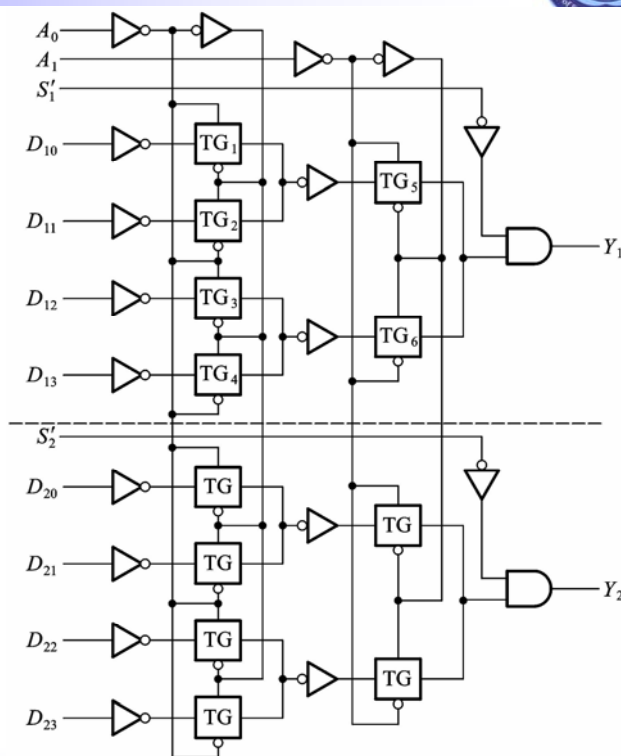
实例：74HC153

(双4选1数据选择器)

分析其中的一个“四选一”

S'_1	A_1	A_0	Y_1
1	X	X	0
0	0	0	D_{10}
0	0	1	D_{11}
0	1	0	D_{12}
0	1	1	D_{13}

$$Y_1 = S_1(D_{10}(A'_1A'_0) + D_{11}(A'_1A_0) + D_{12}(A_1A'_0) + D_{13}(A_1A_0))$$



2017-8-4

第四章 组合逻辑电路

33



§ 4.4 若干常用的组合逻辑电路模块

4.4.4 加法器

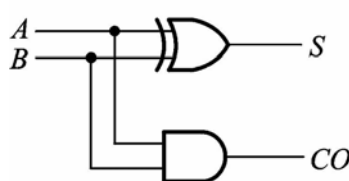
一、1位加法器

1 半加器：不考虑来自低位的进位，将两个1位的二进制数相加

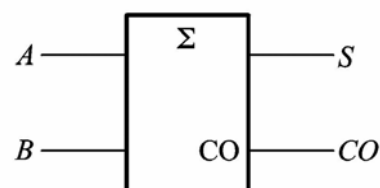
输 入		输 出	
A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = A \oplus B$$

$$CO = AB$$



(a)



(b)

2017-8-4

第四章 组合逻辑电路

34



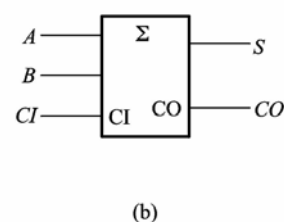
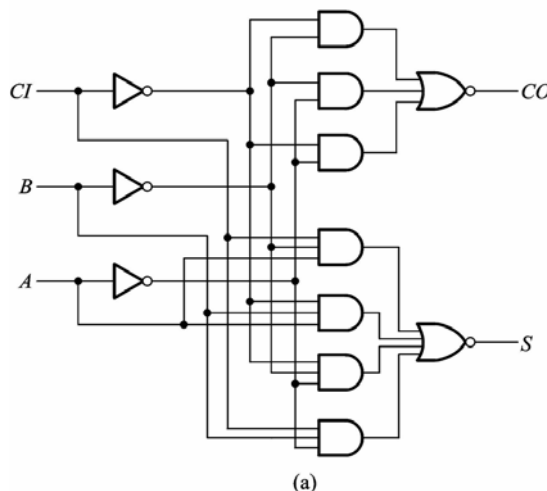
§ 4.4 若干常用的组合逻辑电路模块

2 全加器：将两个1位二进制数及来自低位的进位相加

输 入			输 出	
A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = (A'B'CI' + A'BCI + AB'CI + ABCI)'$$

$$CO = (A'B' + B'CI' + A'CI)'$$



74LS183、74HC183

2017-8-4

第四章 组合逻辑电路

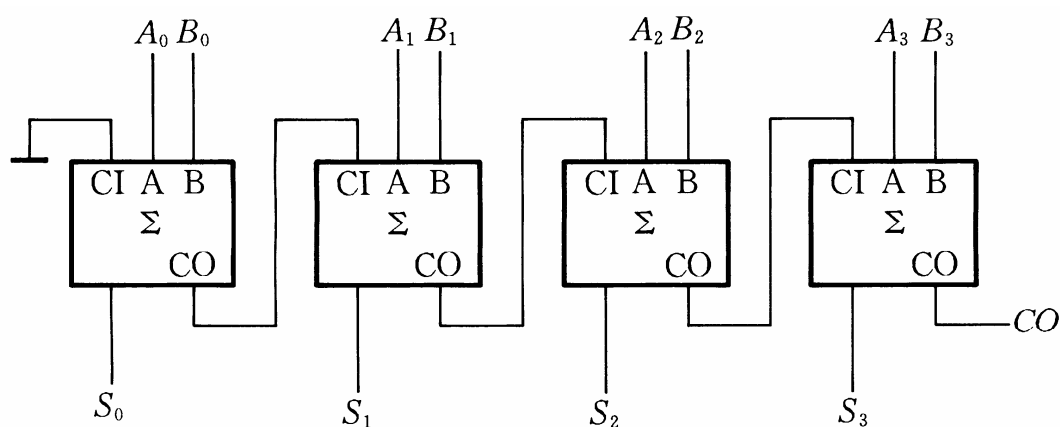
35



§ 4.4 若干常用的组合逻辑电路模块

二、多位加法器

1 串行进位加法器



优点：结构简单

缺点：运算速度慢

2017-8-4

第四章 组合逻辑电路

36



§ 4.4 若干常用的组合逻辑电路模块

2 超前进位加法器

输 入			输 出	
A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$\begin{aligned}(CO)_i &= A_i B_i + (A_i \oplus B_i)(CI)_i \\ &= A_i B_i + (A_i + B_i)(CI)_i\end{aligned}$$

定义： $G_i = A_i B_i$ 为进位生成函数，
 $P_i = A_i + B_i$ 为进位传递函数，则上
 式可写成

$$(CO)_i = G_i + P_i(CI)_i$$



§ 4.4 若干常用的组合逻辑电路模块

2 超前进位加法器

将CO展开：

$$\begin{aligned}(CO)_i &= G_i + P_i(CI)_i \\ &= G_i + P_i[G_{i-1} + P_{i-1}(CI)_{i-1}] \\ &= G_i + P_i G_{i-1} + P_i P_{i-1}[G_{i-2} + P_{i-2}(CI)_{i-2}] \\ &\dots \\ &= G_i + P_i G_{i-1} + P_i P_{i-1} G_{i-2} + \dots + P_i P_{i-1} P_{i-2} \dots P_1 G_0 + P_i P_{i-1} P_{i-2} \dots P_0 (CI)_0\end{aligned}$$

基本原理：加到第*i*位的进位输入信号是这两个加数第*i*位以下各位状态的函数，可在相加前由A,B两数确定。

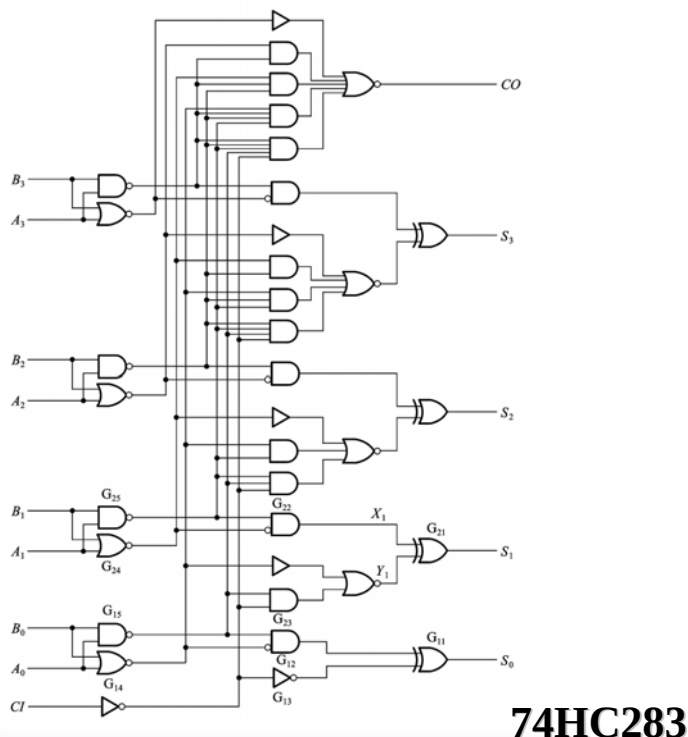
$$\begin{aligned}S_i &= A_i B'_i (CI)'_i + A'_i B_i (CI)'_i + A'_i B'_i (CI)_i + A_i B_i (CI)_i \\ &= (A_i B'_i + A'_i B_i)(CI)'_i + (A'_i B'_i + A_i B_i)(CI)_i \\ &= (A_i \oplus B_i)(CI)'_i + (A_i \oplus B_i)'(CI)_i = A_i \oplus B_i \oplus (CI)_i\end{aligned}$$

§ 4.4 若干常用的组合逻辑电路模块

2 超前进位加法器

优点：速算速度快。

缺点：电路复杂。



2017-8-4

第四章 组合逻辑电路

39

§ 4.4 若干常用的组合逻辑电路模块

4.4.5 数值比较器

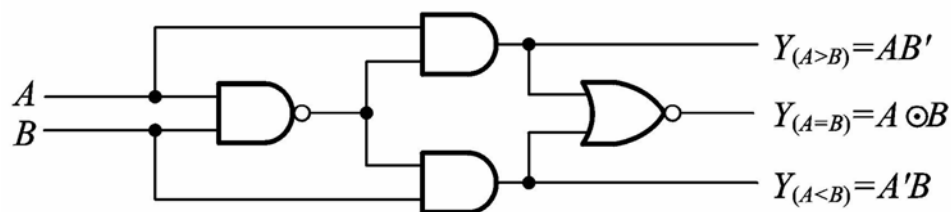
比较两个二进制数的数值大小的逻辑电路。

一、1位数值比较器

* $A > B (A=1, B=0)$ 则 $AB' = 1, \therefore Y_{(A>B)} = AB'$

* $A < B (A=0, B=1)$ 则 $A'B = 1, \therefore Y_{(A<B)} = A'B$

* $A = B (A, B \text{ 同为 } 0 \text{ 或 } 1), \therefore Y_{(A=B)} = (A \oplus B)'$



2017-8-4

第四章 组合逻辑电路

40

§ 4.4 若干常用的组合逻辑电路模块



二、多位数值比较器

原理：自高而低的逐位比较，只有高位相等，才比较下一位。

例如：比较 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$

$$Y_{(A>B)} = A_3B_3' + (A_3 \oplus B_3)'A_2B_2' + (A_3 \oplus B_3)'(A_2 \oplus B_2)'A_1B_1' \\ + (A_3 \oplus B_3)'(A_2 \oplus B_2)'(A_1 \oplus B_1)'A_0B_0' \\ + (A_3 \oplus B_3)'(A_2 \oplus B_2)'(A_1 \oplus B_1)'(A_0 \oplus B_0)'I_{(A>B)}$$

$$Y_{(A<B)} = A_3'B_3 + (A_3 \oplus B_3)'A_2'B_2 + (A_3 \oplus B_3)'(A_2 \oplus B_2)'A_1'B_1 \\ + (A_3 \oplus B_3)'(A_2 \oplus B_2)'(A_1 \oplus B_1)'A_0'B_0 \\ + (A_3 \oplus B_3)'(A_2 \oplus B_2)'(A_1 \oplus B_1)'(A_0 \oplus B_0)'I_{(A<B)}$$

$$Y_{(A=B)} = (A_3 \oplus B_3)'(A_2 \oplus B_2)'(A_1 \oplus B_1)'(A_0 \oplus B_0)'I_{(A=B)}$$

$$Y_{(A>B)} = (Y_{(A<B)} + Y_{(A=B)})'$$

$$Y_{(A<B)} = (Y_{(A>B)} + Y_{(A=B)})'$$

2017-8-4

第四章 组合逻辑电路

41

§ 4.4 若干常用的组合逻辑电路模块

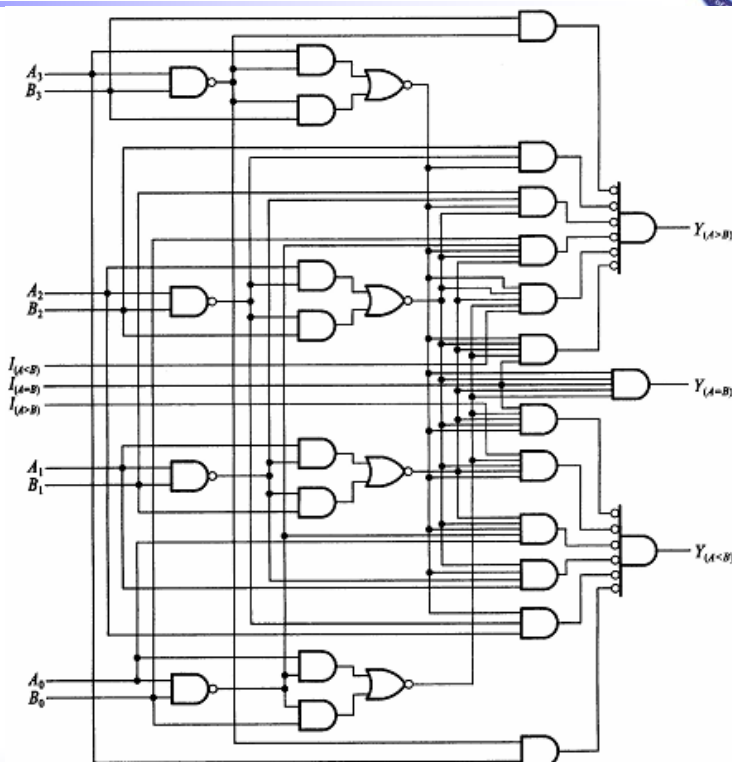


实例：（74HC85）

4位数值比较器

$I_{(A<B)}$, $I_{(A=B)}$ 和 $I_{(A>B)}$ 为
附加端，用于扩展

$I_{(A<B)}$, $I_{(A=B)}$ 和 $I_{(A>B)}$,
来自低位的比较结果



2017-8-4

第四章 组合逻辑电路

42



§ 4.5 层次化和模块化的设计方法

层次化/模块化设计方法：“自顶向下”和“自底向上”

“自顶向下”：将电路划分为若干个功能模块，再将每个功能模块划分为更简单的功能模块，直到这些模块都能用简单的逻辑电路实现为止。

“自底向上”：首先考虑有哪些已有的、成熟的模块电路可以利用。将电路划分功能模块时，最后要划分到能利用这些已有的模块电路来实现为止。

实际电路多数情况下采取的设计方法：“自顶向下”和“自底向上”相结合的方法。

2017-8-4

第四章 组合逻辑电路

43



§ 4.5 层次化和模块化的设计方法

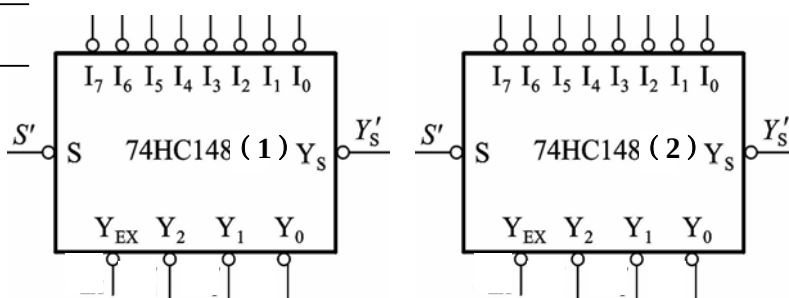
一、中规模模块的功能扩展

1 编码器的功能扩展

例4.5.1 试用两片74HC148接成16线—4线优先编码器，将 $A'_0 \sim A'_{15}$ 16个低电平输入信号编为0000~1111 16个4位二进制代码，其中 A'_{15} 的优先权最高， A'_0 的优先权最低

附加输出信号的状态及含义：

Y'_S	Y'_{EX}	状态
1	1	不工作
0	1	工作，但无输入
1	0	工作，且有输入
0	0	不可能出现

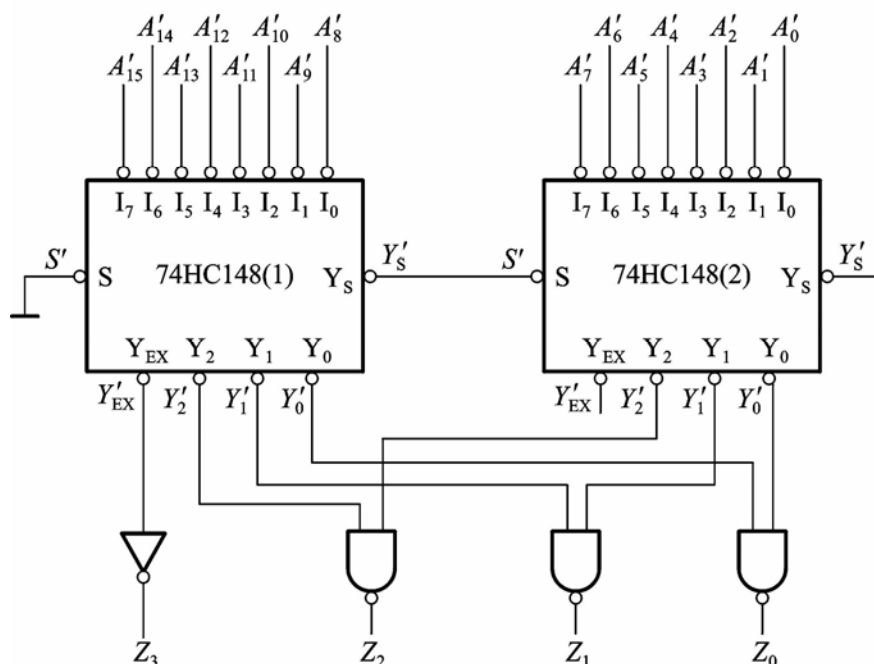


2017-8-4

第四章 组合逻辑电路

44

§ 4.5 层次化和模块化的设计方法



2017-8-4

第四章 组合逻辑电路

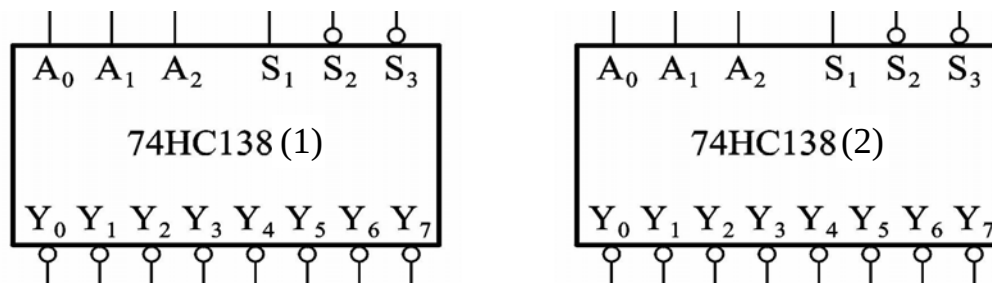
45

§ 4.5 层次化和模块化的设计方法



2 译码器的功能扩展

例4.5.2 试用两片3线—8线译码器74HC138组成4线—16线译码器，将输入的4位二进制代码 $D_3 D_2 D_1 D_0$ 译成16个独立的低电平信号 $Z'_0 \sim Z'_{15}$



附加控制端: (1)当附加控制端 $S_1=0$ 或 $S'_2+S'_3=1$ 时，译码器被禁止工作，输出端状态全部为高电平。
(2)当附加控制端 $S_1=1$ 且 $S'_2+S'_3=0$ 时，译码器处于工作状态。

2017-8-4

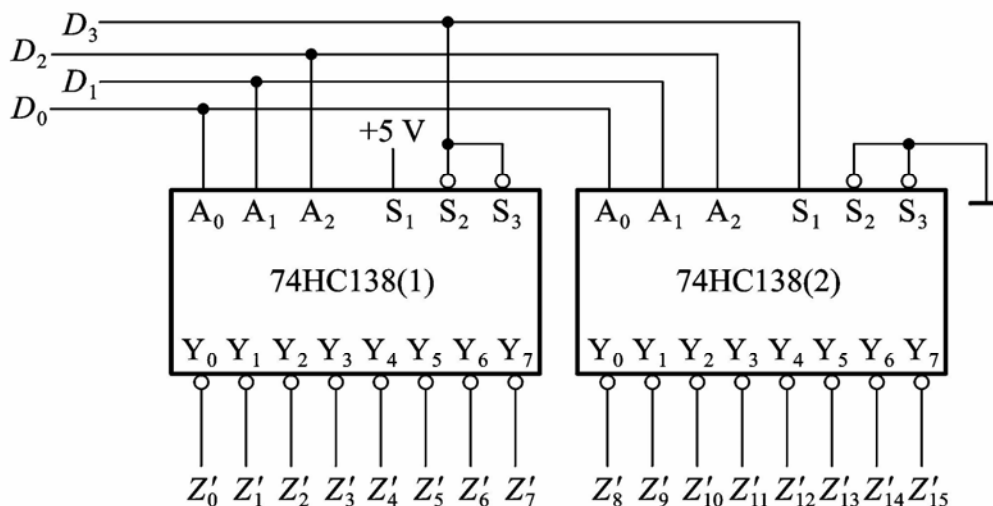
第四章 组合逻辑电路

46

§ 4.5 层次化和模块化的设计方法

2 译码器的功能扩展

例4.5.2 试用两片3线—8线译码器74HC138组成4线—16线译码器，将输入的4位二进制代码 $D_3 D_2 D_1 D_0$ 译成16个独立的低电平信号 $Z'_0 \sim Z'_{15}$



2017-8-4

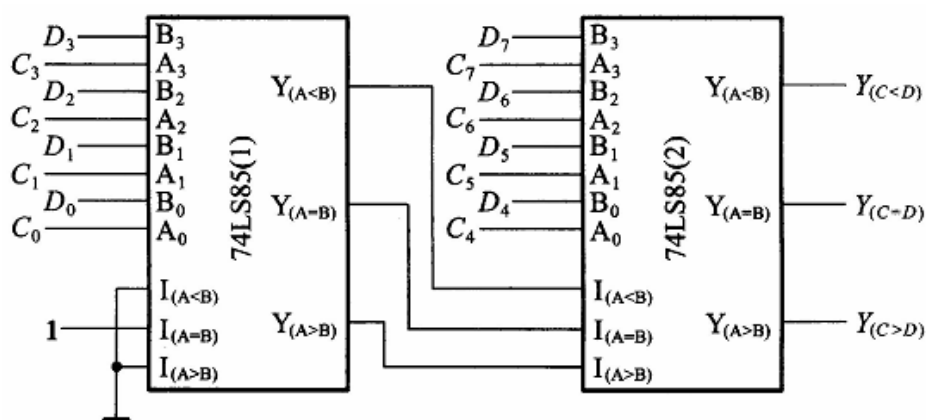
第四章 组合逻辑电路

47

§ 4.5 层次化和模块化的设计方法

3 数值比较器的位数扩展

例4.5.3 试用两片74LS85组成一个8位数值比较器。



将两片 74LS85 接成 8 位数值比较器

2017-8-4

第四章 组合逻辑电路

48

§ 4.5 层次化和模块化的设计方法



二、用中规模模块设计组合逻辑电路

1 用译码器设计组合逻辑电路

◆基本原理

3位二进制译码器的输出给出**3**变量的全部最小项;

.....

n位二进制译码器的输出给出**n**变量的全部最小项;

任意函数

将**n**位二进制译码器的输出组合起来, 可获得任何形式的输入变量数不大于**n**的组合逻辑函数。

$$Y = \sum m_i$$

2017-8-4

第四章 组合逻辑电路

49

§ 4.5 层次化和模块化的设计方法



例: 利用3线-8线译码器74HC138设计一个多输出的组合逻辑电路, 输出逻辑函数式为:

$$Z_1 = AC' + A'BC + AB'C$$

$$Z_2 = BC + A'B'C$$

$$Z_3 = A'B + AB'C$$

$$Z_4 = A'BC' + B'C' + ABC$$

$$Z_1 = ABC' + AB'C' + A'BC + AB'C = m_3 + m_4 + m_5 + m_6$$

$$Z_2 = ABC + A'BC + A'B'C = m_1 + m_3 + m_7$$

$$Z_3 = A'BC + A'BC' + AB'C = m_2 + m_3 + m_5$$

$$Z_4 = A'BC' + AB'C' + A'B'C' + ABC = m_0 + m_2 + m_4 + m_7$$

2017-8-4

第四章 组合逻辑电路

50

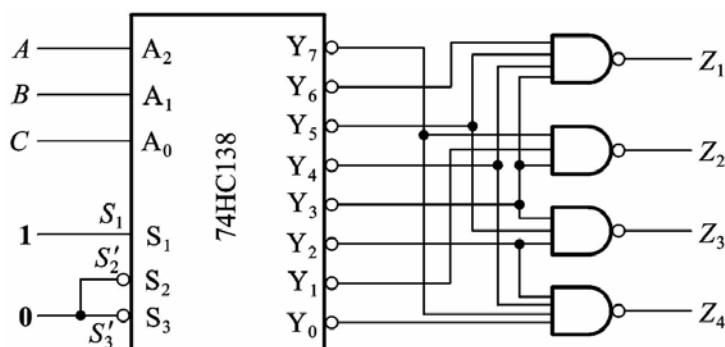
§ 4.5 层次化和模块化的设计方法

$$Z_1 = \sum m(3,4,5,6) = (m'_3 m'_4 m'_5 m'_6)'$$

$$Z_2 = \sum m(1,3,7) = (m'_1 m'_3 m'_7)'$$

$$Z_3 = \sum m(2,3,5) = (m'_2 m'_3 m'_5)'$$

$$Z_4 = \sum m(0,2,4,7) = (m'_0 m'_2 m'_4 m'_7)'$$



§ 4.5 层次化和模块化的设计方法

2 用数据选择器设计组合逻辑电路

◆基本原理

对于4选1数据选择器，在 $S'=0$ 时，输出与输入的逻辑函数式为

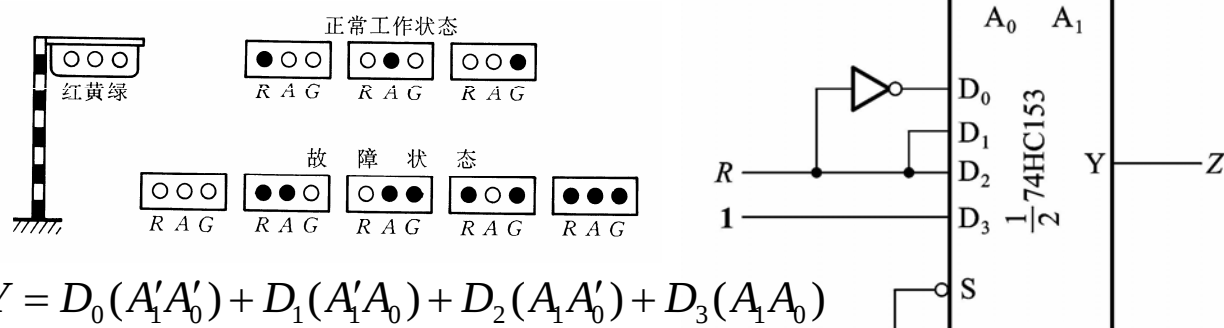
$$Y = D_0(A'_1A'_0) + D_1(A'_1A_0) + D_2(A_1A'_0) + D_3(A_1A_0)$$

若将 A_1 、 A_0 作为两个输入变量，令 $D_0 \sim D_3$ 为第三个输入变量的适当形式（原变量、反变量、0和1），则可由4选1数据选择器实现3变量以下的任何组合逻辑函数。

具有 n 位地址输入的数据选择器，可产生任何形式的输入变量数不大于 $n+1$ 的组合逻辑函数。

§ 4.5 层次化和模块化的设计方法

例4.5.4 试用4选1数据选择器实现例4.3.1的交通信号灯监视电路。



$$Y = D_0(A'_1A'_0) + D_1(A'_1A_0) + D_2(A_1A'_0) + D_3(A_1A_0)$$

$$\begin{aligned} Z &= R'A'G' + R'AG + RA'G + RAG' + RAG \\ &= R'(A'G') + R(A'G) + R(AG') + 1 \cdot (AG) \end{aligned}$$

$$\text{令 } A_1 = A, A_0 = G, D_0 = R', D_1 = D_2 = R, D_3 = 1$$

§ 4.5 层次化和模块化的设计方法

例4.5.5 试用8选1数据选择器产生三变量逻辑函数。

$$Z = A'B'C' + AC + A'BC$$

8选1数据选择器（74HC151）的输出端逻辑式为

$$\begin{aligned} Y &= (A'_2A'_1A'_0)D_0 + (A'_2A'_1A_0)D_1 + (A'_2A_1A'_0)D_2 + (A'_2A_1A_0)D_3 \\ &\quad + (A_2A'_1A'_0)D_4 + (A_2A'_1A_0)D_5 + (A_2A_1A'_0)D_6 + (A_2A_1A_0)D_7 \end{aligned}$$

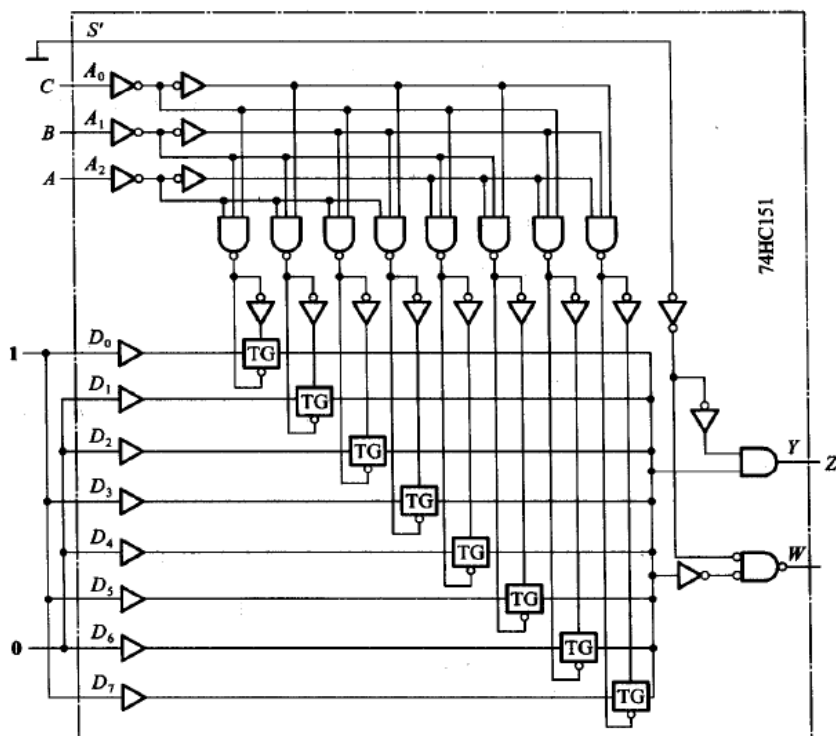
$$Z = A'B'C' + A'BC + AB'C + ABC$$

$$\begin{aligned} &= (A'B'C') \cdot 1 + (A'B'C) \cdot 0 + (A'BC') \cdot 0 + (A'BC) \cdot 1 \\ &\quad + (AB'C') \cdot 0 + (AB'C) \cdot 1 + (ABC') \cdot 0 + (ABC) \cdot 1 \end{aligned}$$

$$\text{令 } A_2 = A, A_1 = B, A_0 = C,$$

$$D_0 = D_3 = D_5 = D_7 = 1, D_1 = D_2 = D_4 = D_6 = 0$$

例4.5.5的电路



2017-8-4

第四章 组合逻辑电路

55

§ 4.5 层次化和模块化的设计方法

3 用加法器设计组合逻辑电路

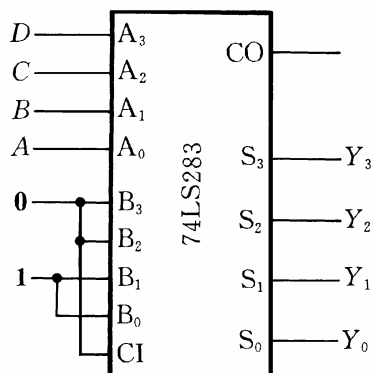
◆基本原理

要产生的逻辑函数可变换成输入变量与输入变量相加

要产生的逻辑函数可变换成输入变量与常量相加

例：将BCD的8421码转换为余3码

$$Y_3Y_2Y_1Y_0 = DCBA + 0011$$



输 入				输 出			
D	C	B	A	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

2017-8-4

第四章 组合逻辑电路

56

§ 4.6 可编程逻辑器件

一、PLD的基本特点

1. 数字集成电路从功能上分为通用型、专用型两大类。
2. **PLD**的特点：是一种按通用器件来生产，但逻辑功能是由用户通过对器件编程来设定的。

二、PLD的发展和分类

- **PLA** 可编程逻辑阵列
- **PAL** 可编程阵列逻辑
- **GAL** 通用阵列逻辑
- **EPLD** 可擦除的可编程逻辑器件
- **CPLD** 复杂的可编程逻辑器件
- **FPGA** 现场可编程门阵列

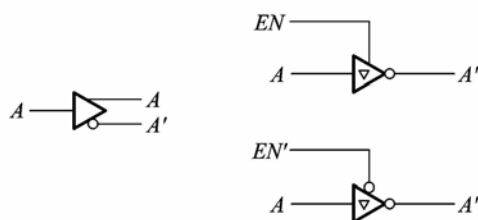
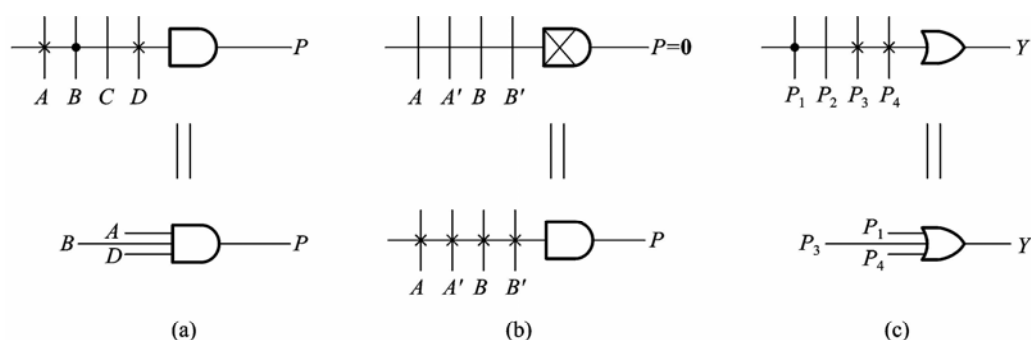
2017-8-4

第四章 组合逻辑电路

57

§ 4.6 可编程逻辑器件

三、PLD电路中惯用的逻辑符号



2017-8-4

第四章 组合逻辑电路

58

§ 4.6 可编程逻辑器件

四、可编程逻辑阵列 (PLA)

◆ 组合逻辑型PLA

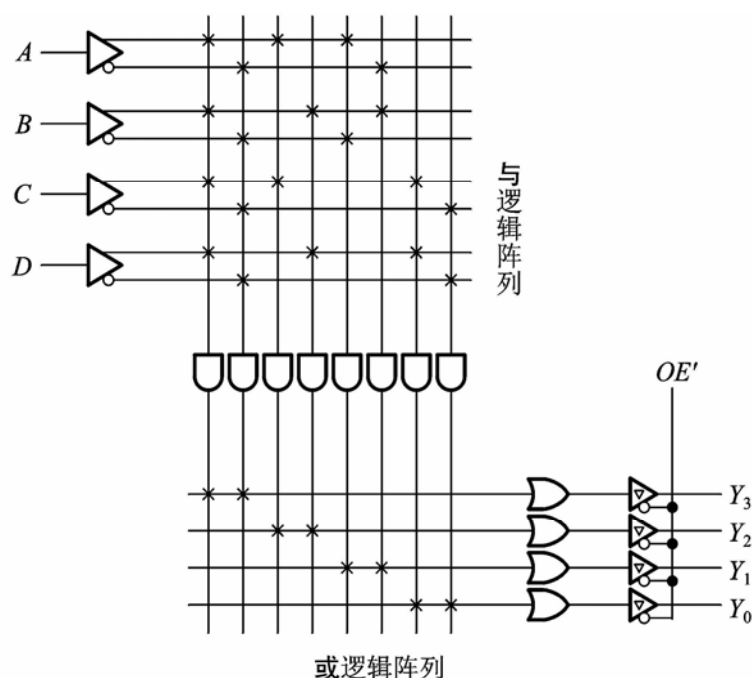
可编程的与阵列
+ 可编程的或阵列
+ 输出缓冲器

$$Y_3 = ABCD + A'B'C'D'$$

$$Y_2 = AC + BD$$

$$Y_1 = A \oplus B$$

$$Y_0 = C \odot D$$



2017-8-4

第四章 组合逻辑电路

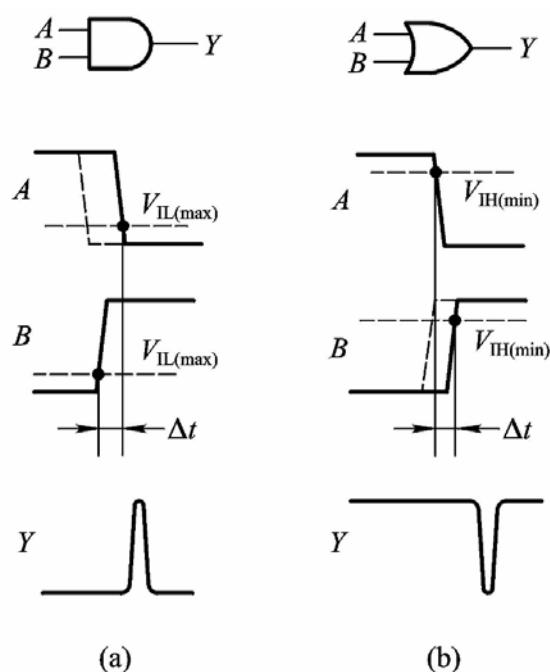
59

§ 4.9 组合逻辑电路中的竞争-冒险现象

4.9.1 竞争-冒险现象及其成因

竞争：门电路两个输入信号同时向相反的逻辑电平跳变的现象。

竞争-冒险：因竞争而在电路输出端可能产生尖峰脉冲的现象。



2017-8-4

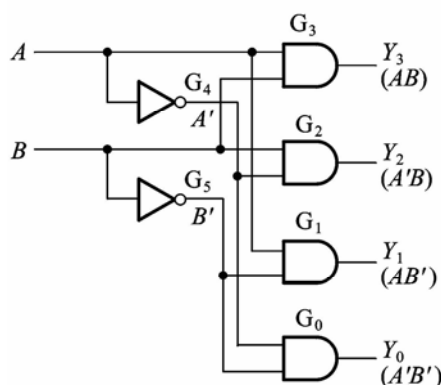
第四章 组合逻辑电路

60

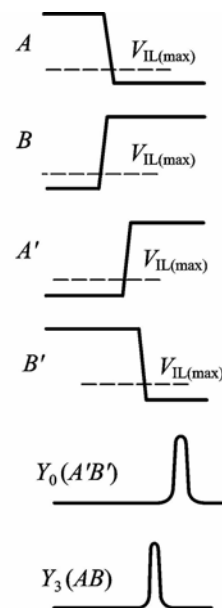
§ 4.9 组合逻辑电路中的竞争-冒险现象

例：2线-4线译码器中的竞争-冒险现象

当 AB 从 $10 \rightarrow 01$ 时，
 Y_0 和 Y_3 端可能产生尖峰脉冲。



(a)

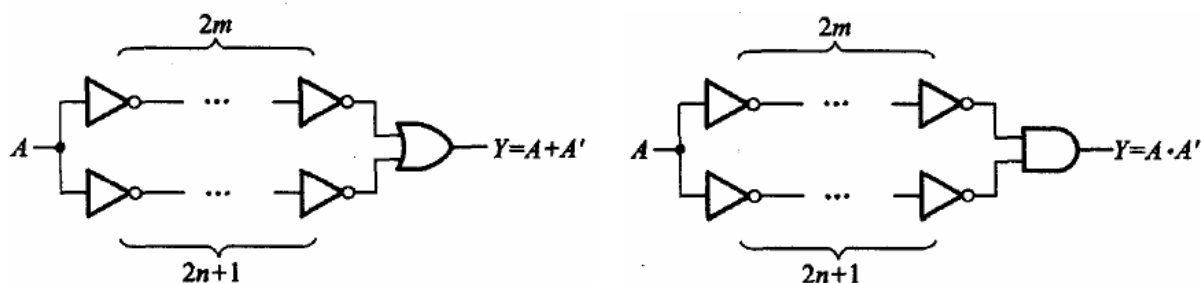


(b)

§ 4.9 组合逻辑电路中的竞争-冒险现象

4.9.2 检查竞争-冒险现象的方法

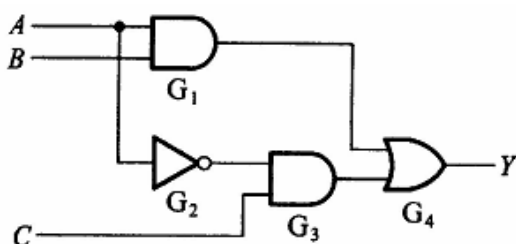
简单情况：每次只有一个输入改变



只要输出端的逻辑函数在一定条件下能简化成 $Y = A + A'$ 或 $Y = A \cdot A'$ ，则可判定存在竞争-冒险现象。

§ 4.9 组合逻辑电路中的竞争-冒险现象

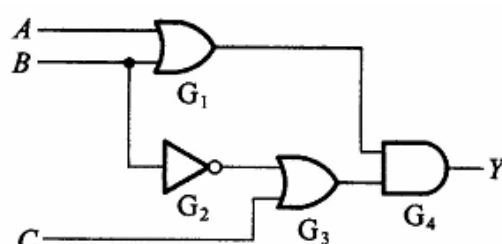
例4.9.1 试判断图中两个电路是否存在竞争-冒险现象？已知任何瞬间输入变量只可能有一个改变状态。



$$Y = AB + A'C$$

$$B = C = 1 \text{ 时}$$

$$Y = A + A'$$



$$Y = (A + B) \cdot (B' + C)$$

$$A = C = 0 \text{ 时}$$

$$Y = B \cdot B'$$

2017-8-4

第四章 组合逻辑电路

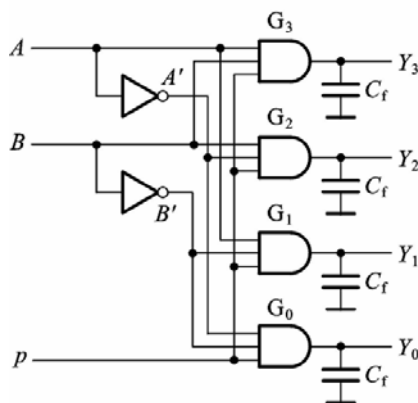
63

§ 4.9 组合逻辑电路中的竞争-冒险现象

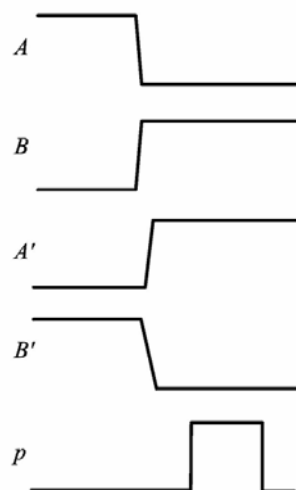
4.9.3 消除竞争-冒险现象的方法

一、接入滤波电容

二、引入选通脉冲



(a)



(b)

2017-8-4

第四章 组合逻辑电路

64

§ 4.9 组合逻辑电路中的竞争-冒险现象



三、修改逻辑设计

例: $Y = AB + A'C$

在 $B = C = 1$ 的条件下, $Y = A + A' \Rightarrow$ 稳态下 $Y = 1$

当 A 改变状态时存在竞争-冒险

$$Y = AB + A'C + BC$$

