



第3章 CMOS集成电路的物理结构

本章目录

3.1 集成电路工艺层

3.2 MOSFET

3.3 CMOS工艺层

3.4 FET阵列设计

§ 3.1 集成电路工艺层



硅集成电路（IC）分层的一个主要特点：
形成图形的导体层在绝缘体的上面。

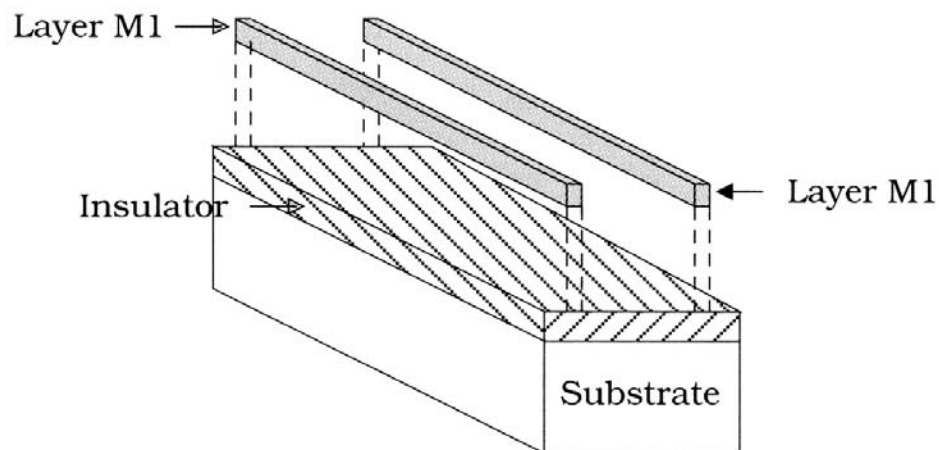


Figure 3.1 Two separate material layers

§ 3.1 集成电路工艺层



叠放过程完成后的各层情形

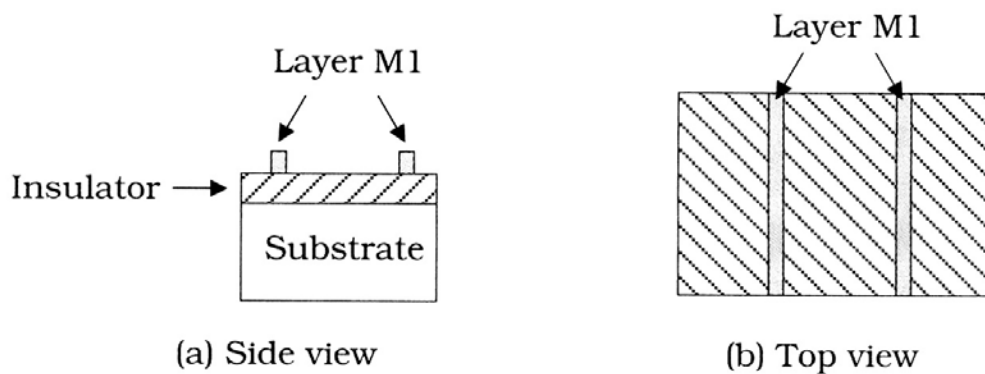


Figure 3.2 Layers after the stacking process is completed

2018-9-5

第3章 CMOS集成电路的物理结构

3

§ 3.1 集成电路工艺层



加上另一层绝缘层和第二层金属层

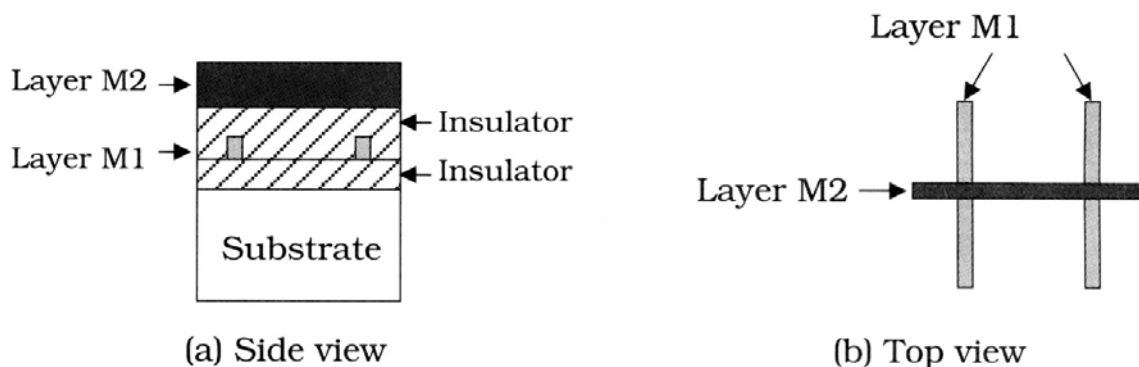


Figure 3.3 Addition of another insulator and a second metal layer

- ❖ 侧视图显示叠放顺序
- ❖ 绝缘层将两金属层分隔开，所以它们在电气上不同
- ❖ 每层的图形由顶视图表示

2018-9-5

第3章 CMOS集成电路的物理结构

4

§ 3.1 集成电路工艺层

互连线的电阻和电容

1 互连线电阻

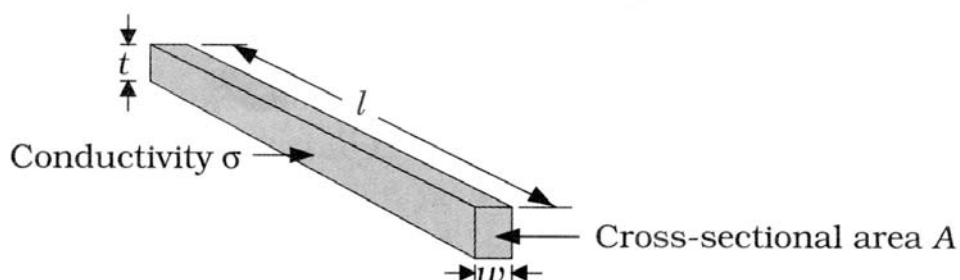


Figure 3.5 Geometry of a conducting line

$$R_{line} = R_S \times \frac{l}{w} \quad R_S = \frac{1}{\sigma t}$$

R_S : 薄层电阻, 方块电阻

§ 3.1 集成电路工艺层

互连线电阻计算

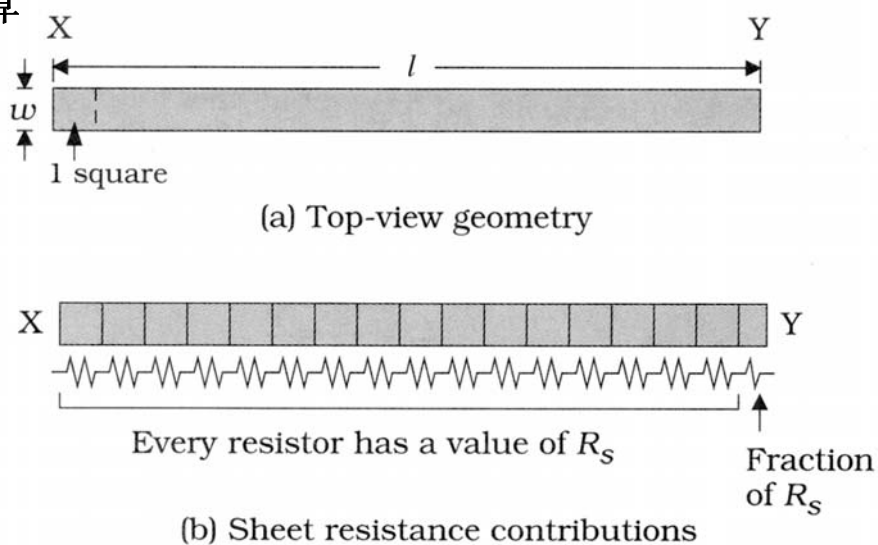


Figure 3.6 Top-view geometry of a patterned line

$$R_{line} = R_S \times n \quad (n = l / w \text{ 方块数})$$

§ 3.1 集成电路工艺层

2 互连线电容

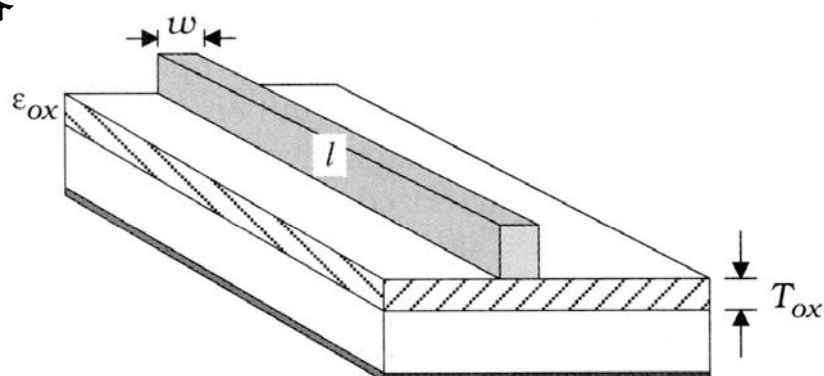


Figure 3.8 Geometry for calculating the line capacitance

设满足平行板电容条件 $C_{line} = \frac{\epsilon_{ox} w l}{T_{ox}}$

ϵ_{ox} : 绝缘层 (SiO₂)介电常数, 单位: F/cm

§ 3.1 集成电路工艺层

互连线上的寄生电阻和寄生电容, 引起时间延迟

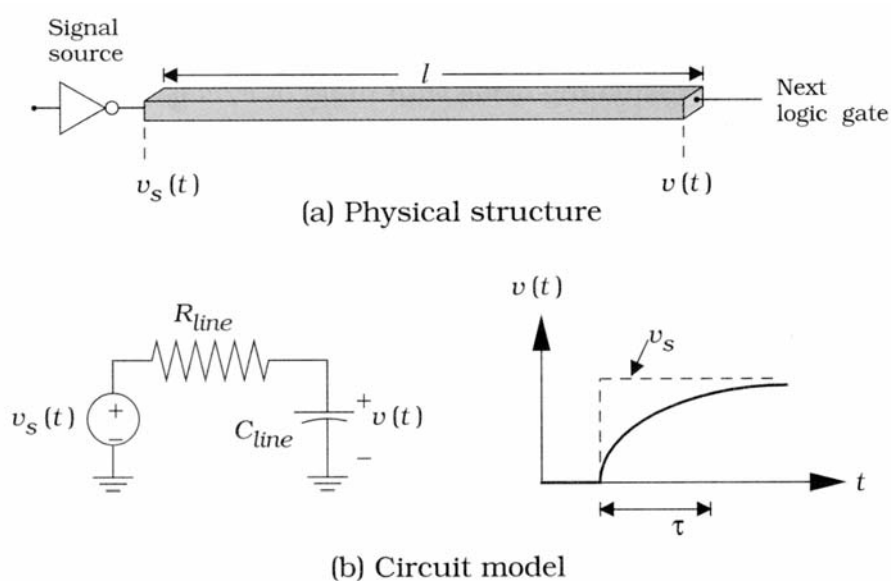


Figure 3.9 Time delay due to the interconnect time constant

时间常数: $\tau = R_{line} C_{line}$

§ 3.1 集成电路工艺层

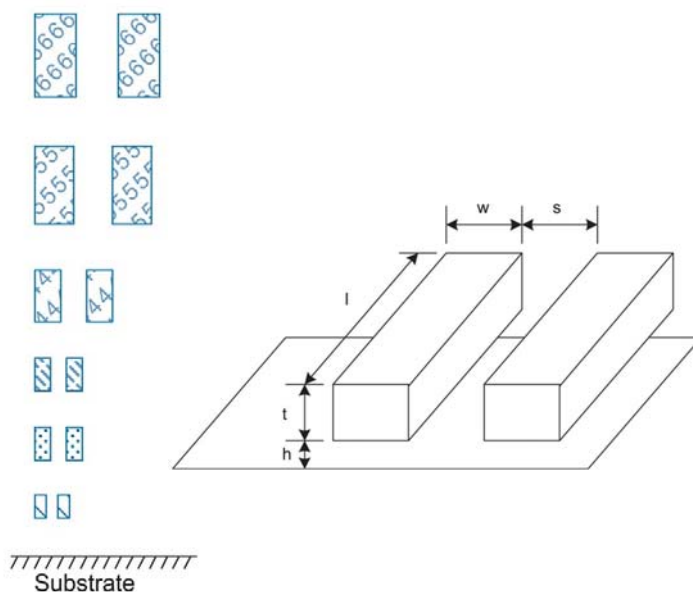
互连线电阻和电容

- 互连线电阻和电容使传播延时增加，相应于性能的下降
- 互连线电阻会消耗功率
- 互连线电容会引起额外的噪声，影响电路的可靠性

§ 3.1 集成电路工艺层

Intel 0.18 μm 工艺互连线

Layer	t (nm)	w (nm)	s (nm)	AR
6	1720	860	860	2.0
	1000			
5	1600	800	800	2.0
	1000			
4	1080	540	540	2.0
	700			
3	700	320	320	2.2
	700			
2	700	320	320	2.2
	700			
1	480	250	250	1.9
	800			



§ 3.2 MOSFET

NMOS电路符号与相应的工艺层

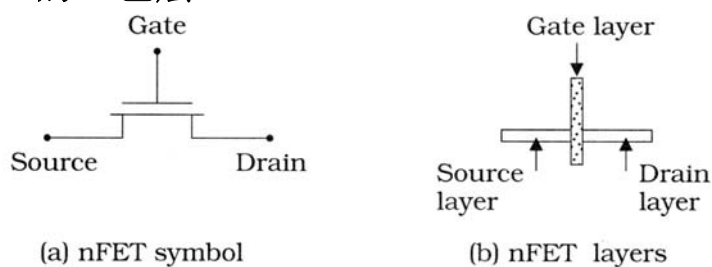


Figure 3.10 nFET circuit symbol and layer equivalents

NMOS的简化工作图



Figure 3.11 Simplified operational view of an nFET
栅信号G决定了在漏区与源区之间是否存在导电区

§ 3.2 MOSFET

形成 MOSFET的各工艺层

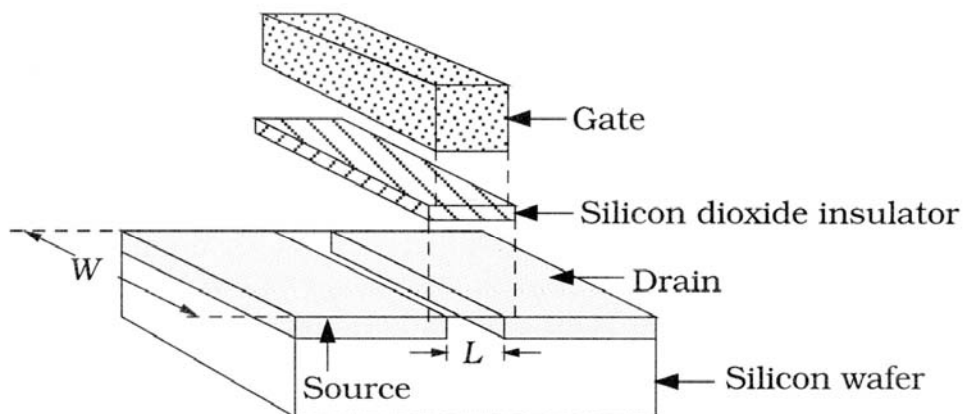


Figure 3.12 Layers used to create a MOSFET

MOSFET的宽长比定义为 (W/L) ，它是 VLSI 设计者考虑的最重要参数!

MOSFET侧视图与顶视图

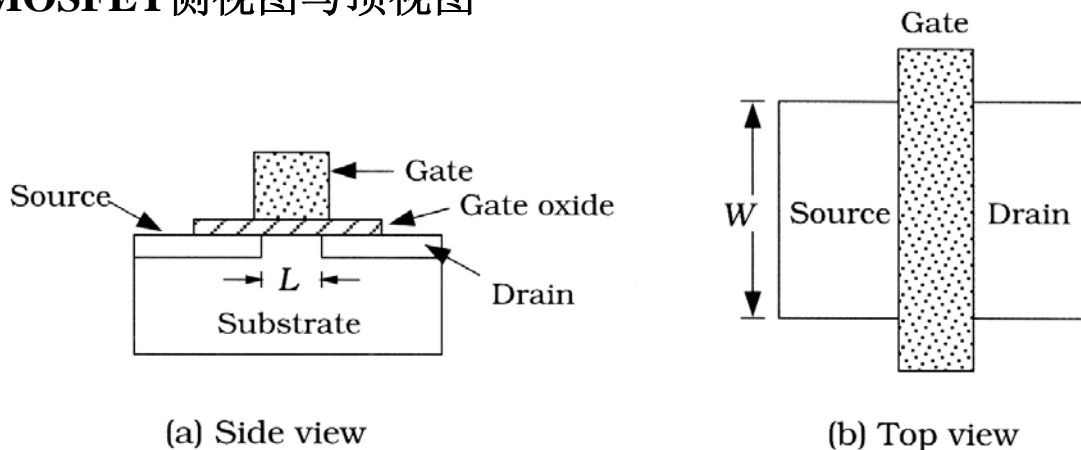


Figure 3.13 Views of a MOSFET

§ 3.2.1 硅的导电性

半导体：导电能力介于导体和绝缘体之间的物质。

本征半导体：完全纯净的、具有晶体结构的半导体。

半导体的特点：

- 当受外界热和光的作用时，它的导电能力明显变化。
- 往纯净的半导体中掺入某些杂质，会使它的导电能力明显改变。

半导体器件中用的最多的半导体是硅。



§ 3.2 MOSFET

- **Si: IV族元素**
- **Si原子密度:** $N_{Si} = 5 \times 10^{22} / \text{cm}^3$
- **本征载流子密度 (室温: 300K):**

$$n_i = 1.45 \times 10^{10} / \text{cm}^3$$

注意:

- (1) 本征半导体中载流子数目极少, 其导电性能很差;
- (2) 温度愈高, 载流子的数目愈多, 半导体的导电性能也就愈好。所以, 温度对半导体器件性能影响很大。



§ 3.2 MOSFET

掺杂:

增加载流子, 提高导电性, 形成n型和p型半导体

- 掺入磷P、砷As V族元素杂质, 增加电子浓度, 形成n型材料;
- 提供自由电子的杂质原子称为施主掺杂剂;
- 掺杂浓度 $N_d = 10^{16} \sim 10^{19} / \text{cm}^3$
- n型材料中, 每个施主提供一个自由电子; 电子为多数, 浓度为 n_n ; 空穴为少数, 浓度为 p_n
- 有 $n_n \approx N_d$ ($n_i = 1.45 \times 10^{10} / \text{cm}^3$)

$$p_n \approx \frac{n_i^2}{N_d} / \text{cm}^3$$

§ 3.2 MOSFET



- 掺入硼B III族元素，增加空穴，形成p型材料；
- 提供空穴的杂质原子称为受主掺杂剂；
- 掺杂浓度 $N_a = 10^{14} \rightarrow 10^{19} / \text{cm}^3$
- p型材料中，每个受主提供一个空穴，空穴为多子，浓度为 p_p ；电子为少子，浓度为 n_p
- 并有 $p_p \approx N_a$

$$n_p \approx \frac{n_i^2}{N_a} / \text{cm}^3$$

§ 3.2 MOSFET



电导率 σ

- 载流子密度为 n 和 p 的半导体区域电导率：

$$\sigma = q(\mu_n n + \mu_p p)$$

- 式中： μ_n 和 μ_p 为电子和空穴迁移率， $\text{cm}^2/(\text{V}\cdot\text{s})$
- 常温下本征硅：

$$\mu_n = 1360 \text{cm}^2/(\text{V}\cdot\text{s}) \quad \mu_p = 480 \text{cm}^2/(\text{V}\cdot\text{s})$$

- 本征硅电导率 $\sigma \approx 4.27 \times 10^{-6} / (\Omega \cdot \text{cm})$
- 本征硅电阻率 $\rho = 1/\sigma \approx 2.34 \times 10^5 \Omega \cdot \text{cm}$
- N型材料： $\sigma \approx q\mu_n n$
- P型材料： $\sigma \approx q\mu_p p$



§ 3.2 MOSFET

例3.2: 一个硼掺杂密度为 10^{15} cm^{-3} 的p型硅掺杂样品, 其多子电荷载体为空穴, 密度为

$$p_p \approx N_a = 10^{15} \text{ cm}^{-3}$$

则少子载体的电子密度为

$$n_p \approx \frac{n_i^2}{N_a} = \frac{(1.45 \times 10^{10})^2}{10^{15}} \approx 2.1 \times 10^5 \text{ cm}^{-3}$$

已知该样品的迁移率为

$$\mu_n \approx 1350 \text{ cm}^2/(\text{V} \cdot \text{s}), \mu_p \approx 450 \text{ cm}^2/(\text{V} \cdot \text{s})$$

其电导率为 $\sigma \approx q\mu_p p_p = 1.6 \times 10^{-19} \times 450 \times 10^{15} = 0.072 (\Omega \cdot \text{cm})^{-1}$

电阻率为 $\rho = \frac{1}{\sigma} = \frac{1}{0.072} = 13.9 (\Omega \cdot \text{cm})$



§ 3.2 MOSFET

迁移率与掺杂浓度的关系

$$\mu = \mu_1 + \frac{\mu_2 - \mu_1}{1 + \left(\frac{N}{N_{ref}} \right)^\alpha}$$

室温下: 电子 $\mu_1 = 92 \text{ cm}^2/(\text{V} \cdot \text{s}), \mu_2 = 1380 \text{ cm}^2/(\text{V} \cdot \text{s}),$

$$N_{ref} = 1.3 \times 10^{17} / \text{cm}^3, \alpha = 0.91$$

空穴 $\mu_1 = 47.7 \text{ cm}^2/(\text{V} \cdot \text{s}), \mu_2 = 495 \text{ cm}^2/(\text{V} \cdot \text{s}),$

$$N_{ref} = 6.3 \times 10^{16} / \text{cm}^3, \alpha = 0.76$$

结论: 迁移率随掺杂浓度增加而降低!

§ 3.2 MOSFET

- CMOS工艺，掺杂区同时存在施主和受主，其极性由占优势的类型决定。

- N型区： $N_d > N_a$,

载流子密度：多子 $n_n \approx N_d - N_a$

$$\text{少子 } p_n \approx \frac{n_i^2}{N_d - N_a} / \text{cm}^3$$

- P型区： $N_a > N_d$

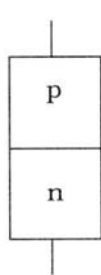
载流子密度：多子 $p_p \approx N_a - N_d$

$$\text{少子 } n_p \approx \frac{n_i^2}{N_a - N_d} / \text{cm}^3$$

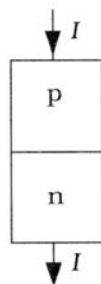
全补偿： $N_d = N_a$ ，此时由于掺杂的数量非零，它的迁移率将小于本征值。

§ 3.2 MOSFET

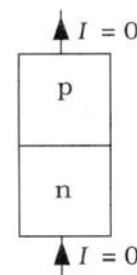
PN结



(a) A pn junction



(b) Forward current



(b) Reverse blocking

Figure 3.15 Formation and characteristics of a pn junction

PN结的特点：单向导电性

§ 3.2 MOSFET



§ 3.2.2 NMOS和PMOS

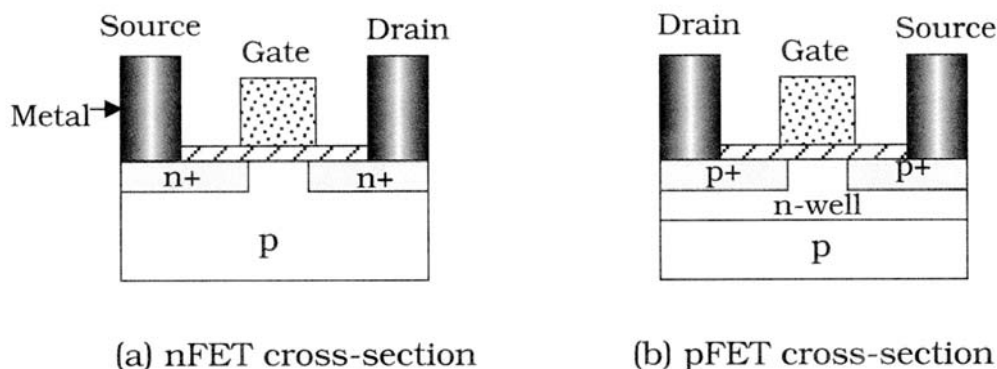


Figure 3.16 nFET and pFET layers

§ 3.2 MOSFET



§ 3.2.3 MOSFET中的电流

n沟道MOSFET中的栅电容

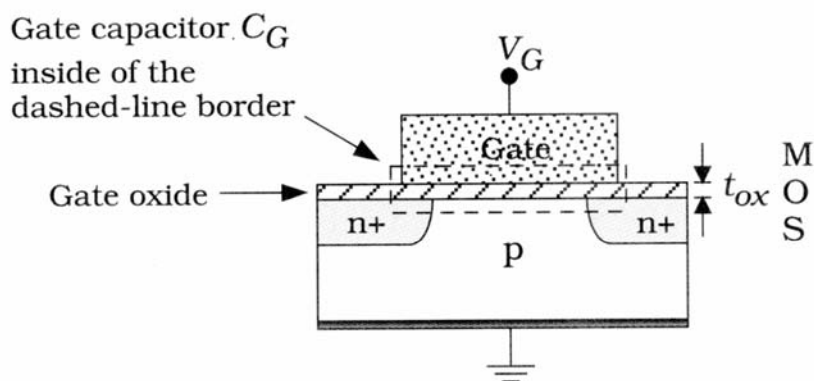


Figure 3.18 The gate capacitance in an n-channel MOSFET

$$C_{ox} = \epsilon_{ox} / t_{ox} \quad \text{单位面积栅氧电容 (单位F/cm}^2\text{)}$$

$$\text{栅电容: } C_G = C_{ox} A_G = C_{ox} WL$$

§ 3.2 MOSFET

例3.3,考虑一个栅氧化层, 厚度为

$$t_{ox} = 50 \text{ \AA} = 50 \times 10^{-8} \text{ cm}$$

其每单位面积的栅氧电容为

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{3.9\epsilon_0}{t_{ox}} = \frac{3.9 \times 8.854 \times 10^{-14}}{50 \times 10^{-8}} = 6.91 \times 10^{-7} \text{ F/cm}^2$$

假定栅面积为

$$A_G = 1 \times 10^{-4} \text{ cm} \times 0.4 \times 10^{-4} \text{ cm} = 4 \times 10^{-9} \text{ cm}^2$$

栅电容为

$$C_G = C_{ox} A_G = 6.91 \times 10^{-7} \times 4 \times 10^{-9} = 2.76 \times 10^{-15} \text{ F} = 2.76 \text{ fF}$$

§ 3.2 MOSFET

NMOS中的电流

$$I_{Dn} \approx \mu_n C_{ox} \frac{W}{L} (V_{GSn} - V_{Tn}) V_{DSn}$$

定义工艺互导

$$k'_n = \mu_n C_{ox} \quad \text{单位: A/V}^2$$

定义器件互导

$$\beta_n = \mu_n C_{ox} \frac{W}{L} = k'_n \frac{W}{L} \quad \text{单位: A/V}^2$$

沟道电阻:

$$R_n = V_{DSn} / I_{Dn} = \frac{1}{\beta_n (V_{GSn} - V_{Tn})}$$

$$R_n = R_{c,n} \left(\frac{L}{W} \right)$$

$$R_{c,n} = \frac{1}{\mu_n C_{ox} (V_{GSn} - V_{Tn})}$$

NMOS沟道的方块电阻

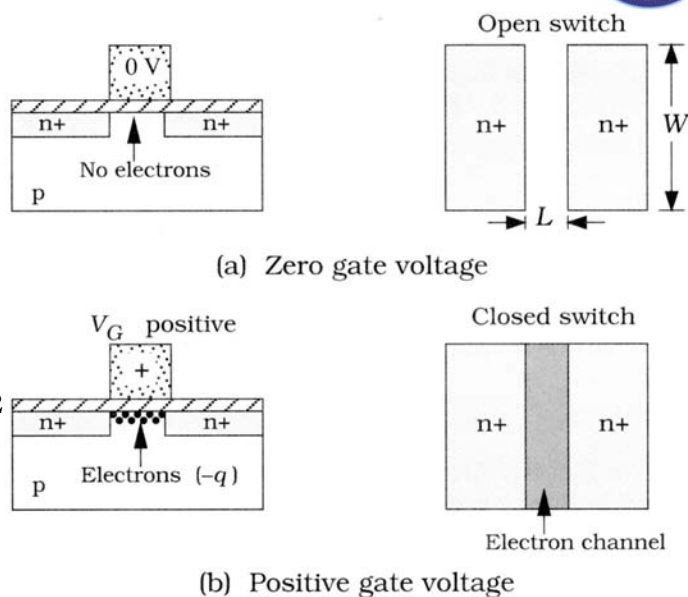


Figure 3.19 Controlling current flow in an nFET

§ 3.2 MOSFET

PMOS中的电流

$$I_{Dp} \approx \mu_p C_{ox} \frac{W}{L} (V_{SGp} - |V_{Tp}|) V_{SDp}$$

定义工艺互导

$$k'_p = \mu_p C_{ox} \quad \text{单位: } A/V^2$$

定义器件互导

$$\beta_p = \mu_p C_{ox} \frac{W}{L} = k'_p \frac{W}{L} \quad \text{单位: } A/V^2$$

沟道电阻:

$$R_p = V_{SDp} / I_{Dp} = \frac{1}{\beta_p (V_{SGp} - |V_{Tp}|)}$$

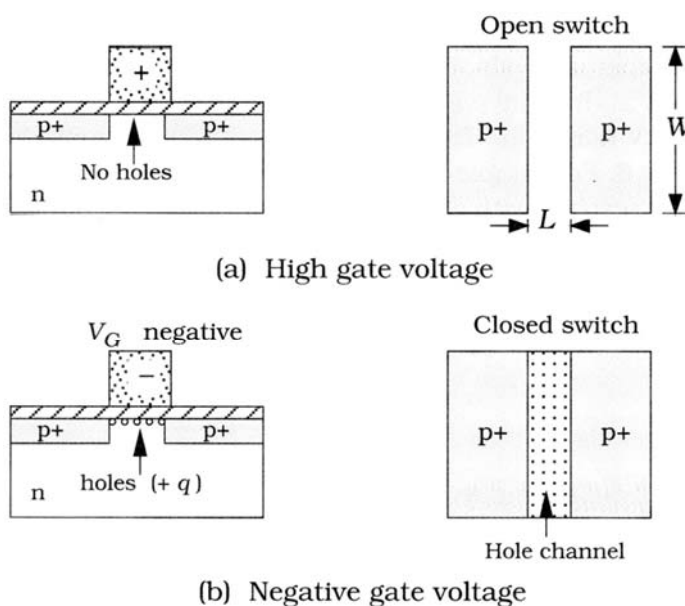


Figure 3.20 Switching behavior of a pFET

§ 3.2 MOSFET

§ 3.2.4 栅电容的驱动

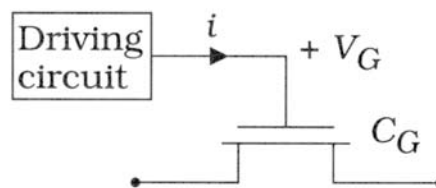


Figure 3.22 Driving the gate of a FET

$$i(t) = \frac{dQ}{dt} = C \frac{dV}{dt} \quad P_R = i^2 R$$

- 由于器件和互连线的物理特性引起的开关延迟;
- 电路中每次开关都需要能量转移, 将消耗功率。

§ 3.3 CMOS工艺层



工艺层：具有不同电特性的区域。

n阱工艺

- p衬底
- n阱
- n+ (nFET漏/源)
- p+ (pFET漏/源)
- 栅氧化层
- 栅 (多晶硅)

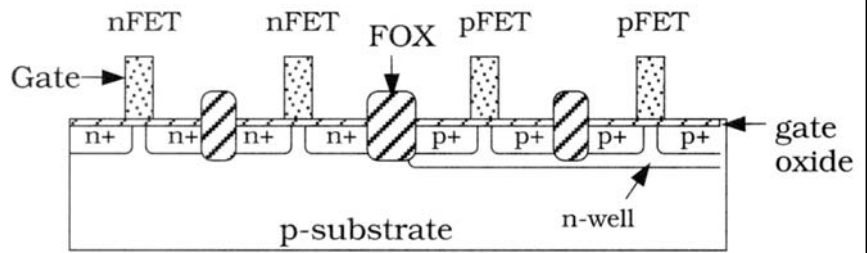


Figure 3.23 MOSFET layers in an n-well process

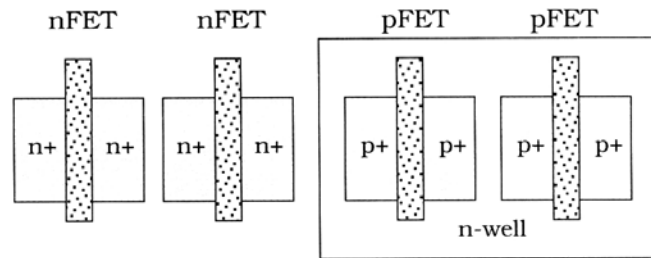


Figure 3.24 Top view FET patterning

§ 3.3 CMOS工艺层



金属互连层

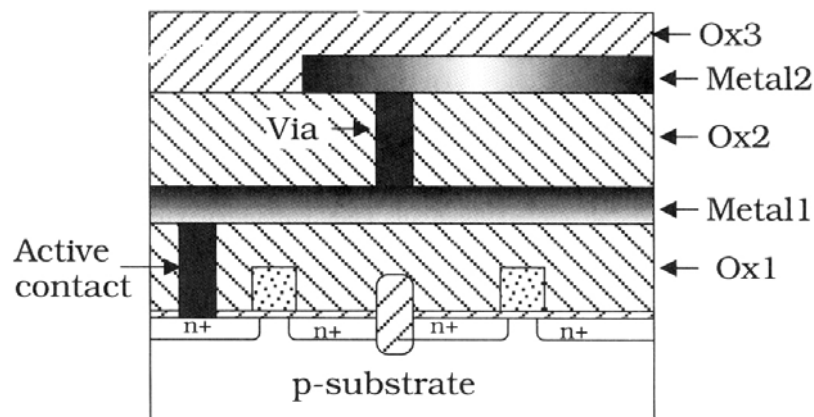


Figure 3.25 Metal interconnect layers

- 金属层之间以及金属层与晶体管之间用绝缘层实现电绝缘
- 相邻导电层之间的电接触要求在它们之间的氧化层上形成接触孔和通孔



互连线的版图例子

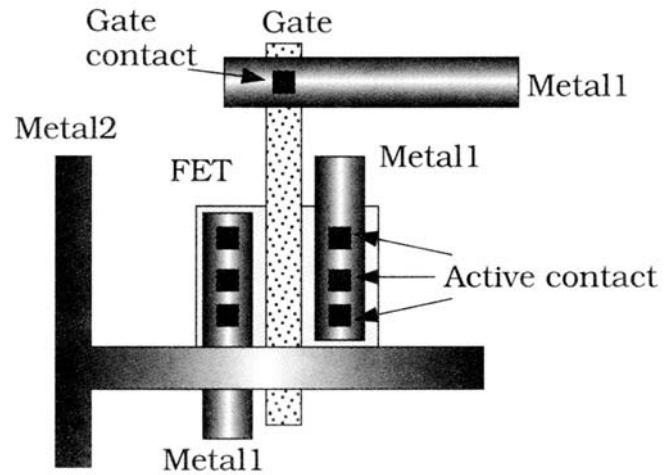


Figure 3.26 Interconnect layout example

- M2与M1连接需要一个通孔
- M1与栅连接需要一个栅接触孔
- M1与D / S连接需要有源区接触

§ 3.4 FET阵列设计



1 串联FET版图设计

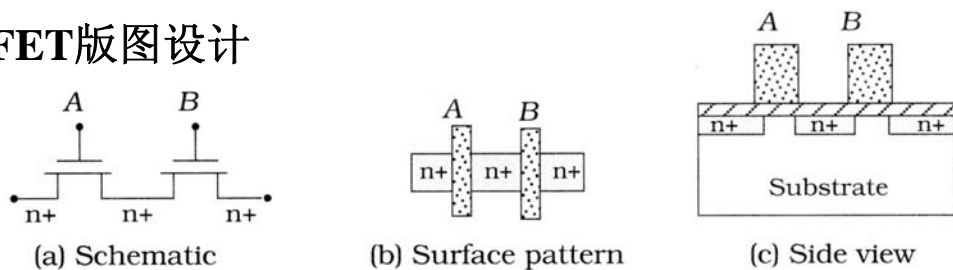


Figure 3.27 Silicon patterning for two series-connected nFETs

器件可以共用图形区域，以节省版图面积或降低复杂性

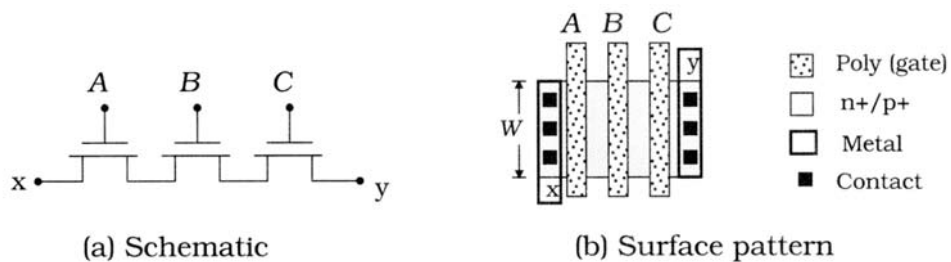


Figure 3.28 Three series-connected nFETs

§ 3.4 FET阵列设计

2 并联FET版图设计

统一的版图可以使硅表面上有较高的集成度

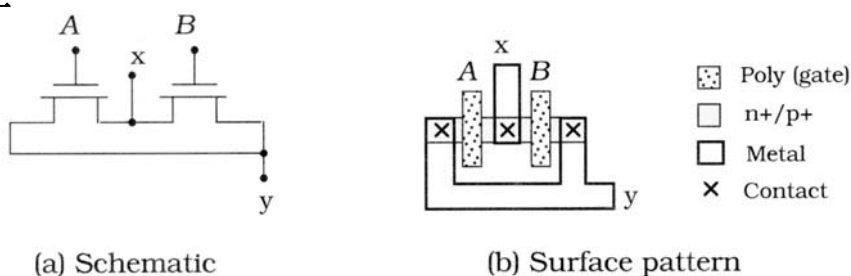


Figure 3.29 Parallel-connected FET patterning

互相分开的晶体管通常比共享源/漏区的晶体管占用更多的面积

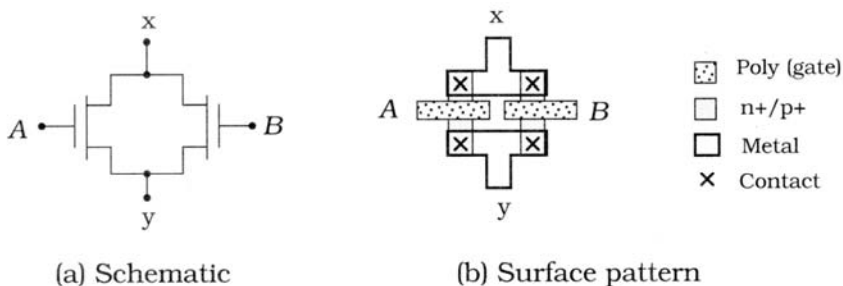


Figure 3.30 Alternate layout strategy for parallel FETs

§ 3.4 FET阵列设计

§ 3.4.1 基本门设计

- V_{DD} 和GND用金属层布线
- n+和p+区用同样的填充图案表示，不同的是pFET嵌在n阱内
- 金属和n+/p+区处于不同的结构层，从金属层至n+/p+区需有接触孔

非门NOT（反相器INV）版图

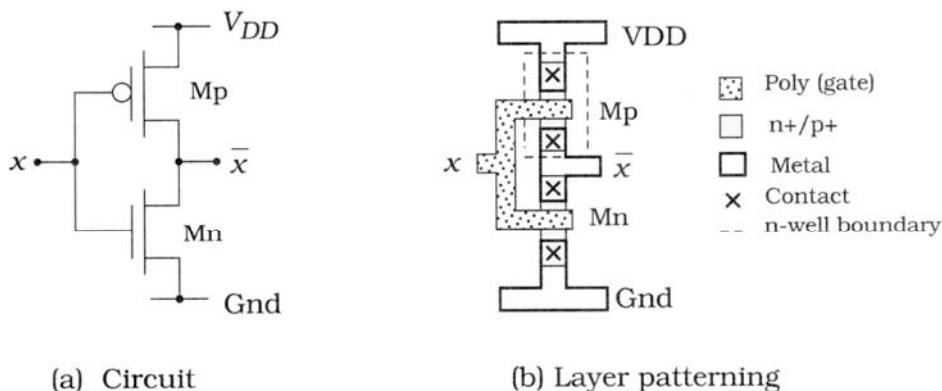


Figure 3.31 Translating a NOT gate circuit to silicon

§ 3.4 FET阵列设计



非门NOT（反相器INV）另一种方案的版图

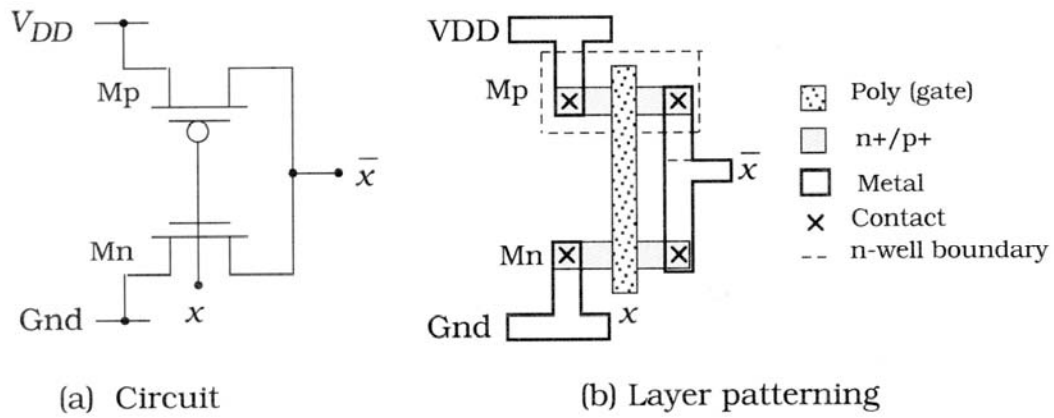


Figure 3.32 Alternate layout for a NOT gate

§ 3.4 FET阵列设计



两个独立的反相器（共享电源和地）

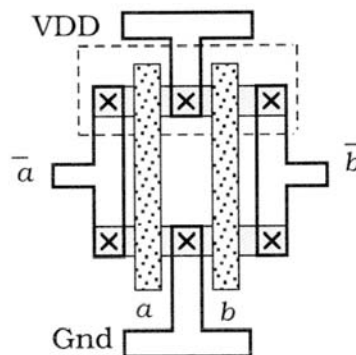


Figure 3.33 Two NOT gates that share power supply and ground

物理设计的目标之一是使整个芯片的面积最小

§ 3.4 FET阵列设计



缓冲器BUF：电信号的整形、提高驱动能力

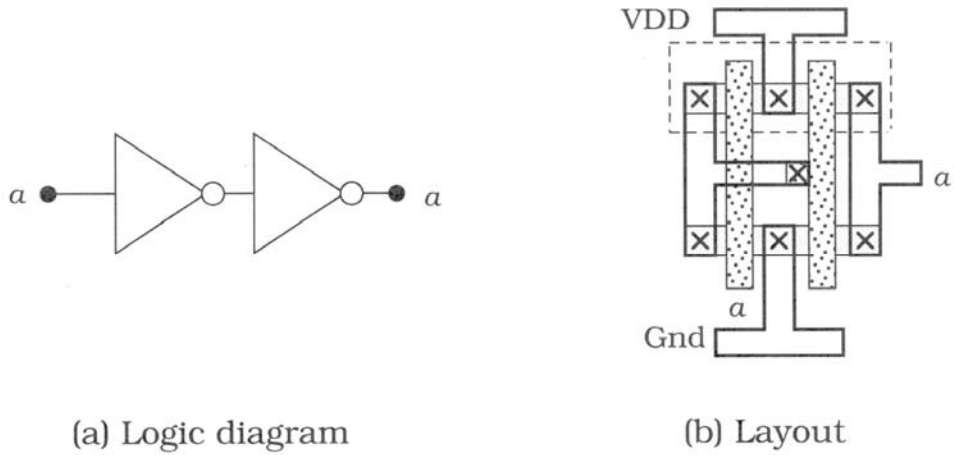


Figure 3.34 Non-inverting buffer

金属可以跨越多晶栅而不会在电气上连接

§ 3.4 FET阵列设计



带有驱动器的传输门版图

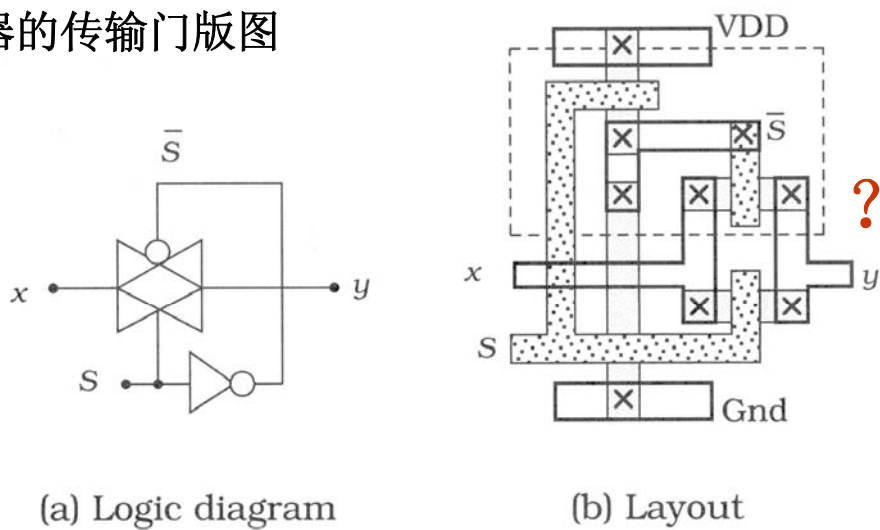
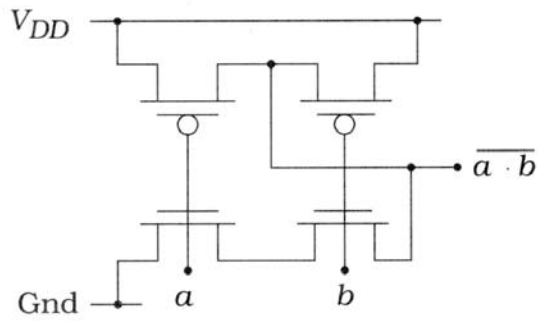


Figure 3.35 Layout of a transmission gate with a driver

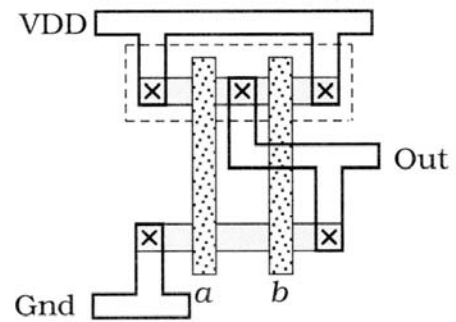
§ 3.4 FET阵列设计



NAND2



(a) Circuit



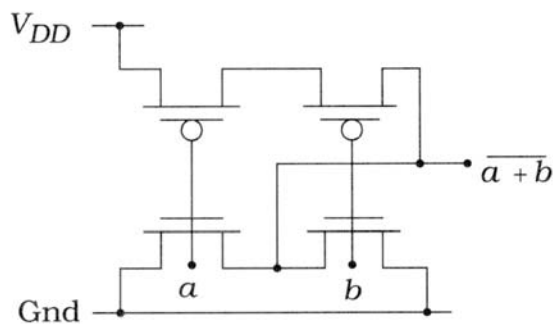
(b) Layer design

Figure 3.36 NAND2 layout

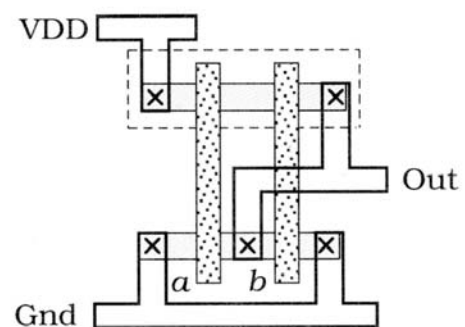
§ 3.4 FET阵列设计



NOR2



(a) Circuit



(b) Layer design

Figure 3.37 NOR2 gate design

§ 3.4 FET阵列设计



NAND2和NOR2的版图比较

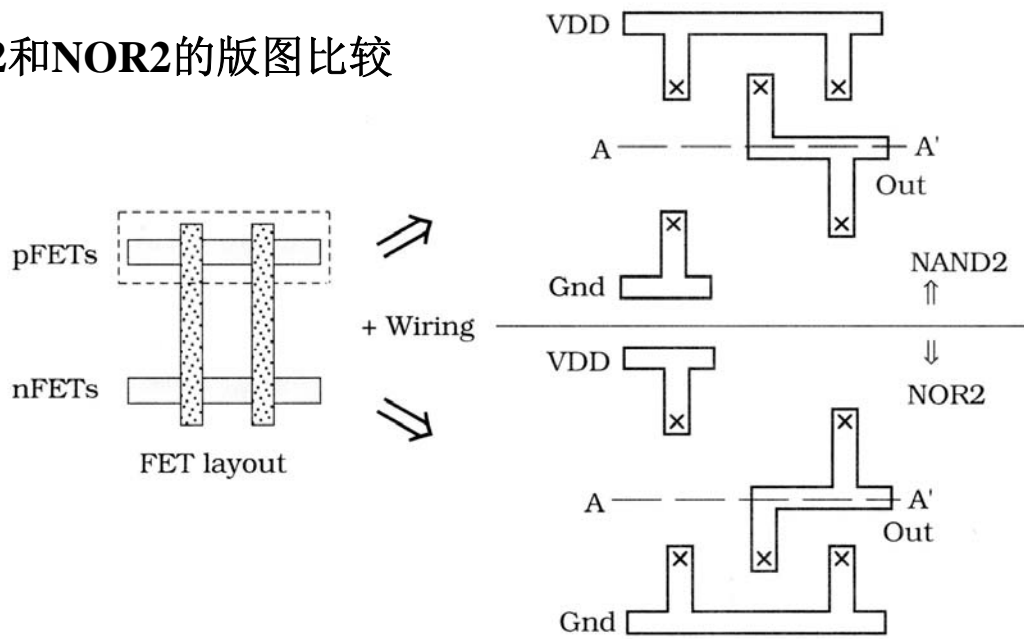


Figure 3.38 NAND2-NOR2 layout comparison

2018-9-5

第3章 CMOS集成电路的物理结构

41

§ 3.4 FET阵列设计



NOR3和NAND3

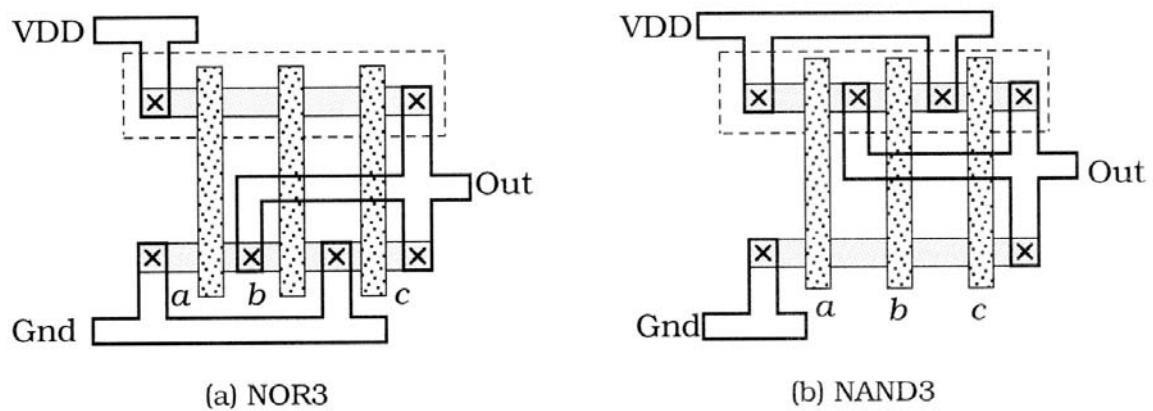


Figure 3.39 Layout for 3-input gates

2018-9-5

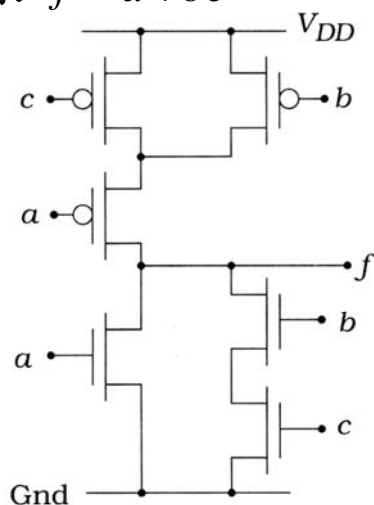
第3章 CMOS集成电路的物理结构

42

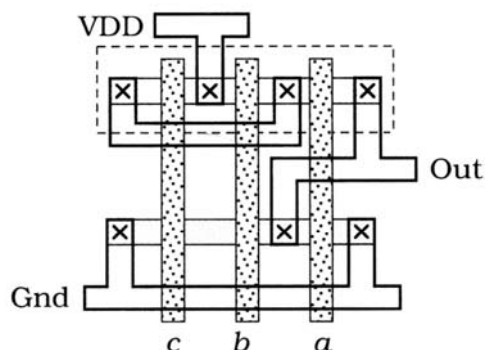
§ 3.4 FET阵列设计

§ 3.4.2 复合逻辑门

例: $f = \overline{a + bc}$



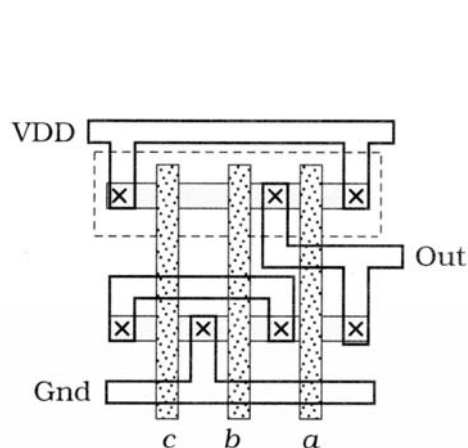
(a) Circuit



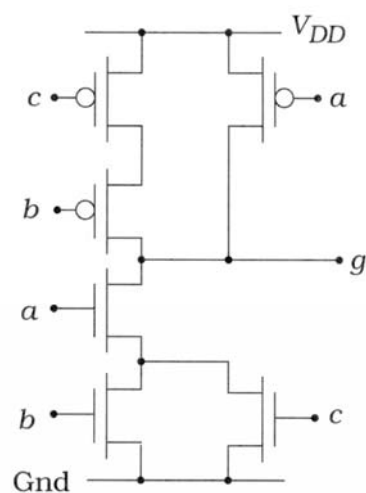
(b) Patterning

Figure 3.40 Extension of layout technique to a complex logic gate

§ 3.4 FET阵列设计



(a) Pattern



(b) Circuit

Figure 3.41 Creation of the dual network

$$g = \overline{a \cdot (b + c)}$$

§ 3.4 FET阵列设计

例: $F = \overline{x \cdot y + z \cdot w}$

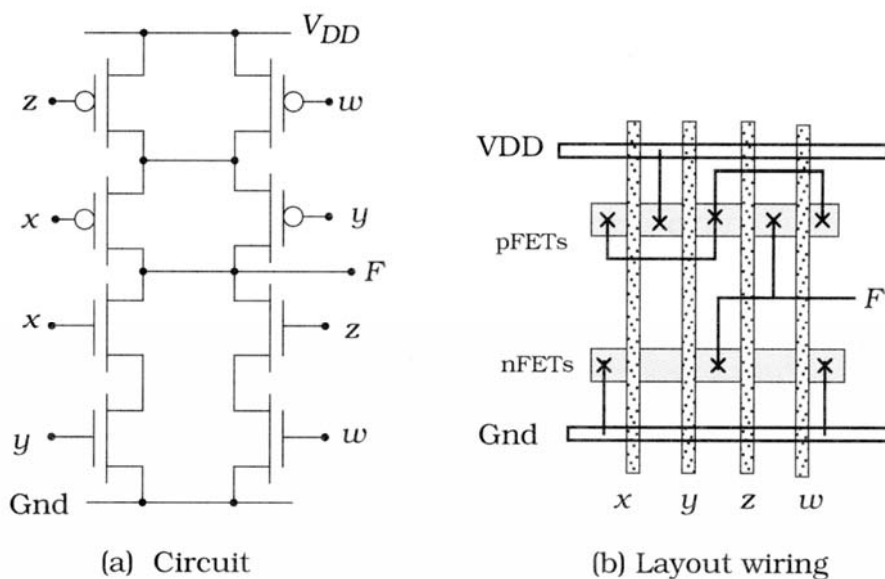


Figure 3.42 A general 4-input AOI gate

§ 3.4 FET阵列设计

§ 3.4.3 一般性讨论

逻辑门版图的一般几何图布置

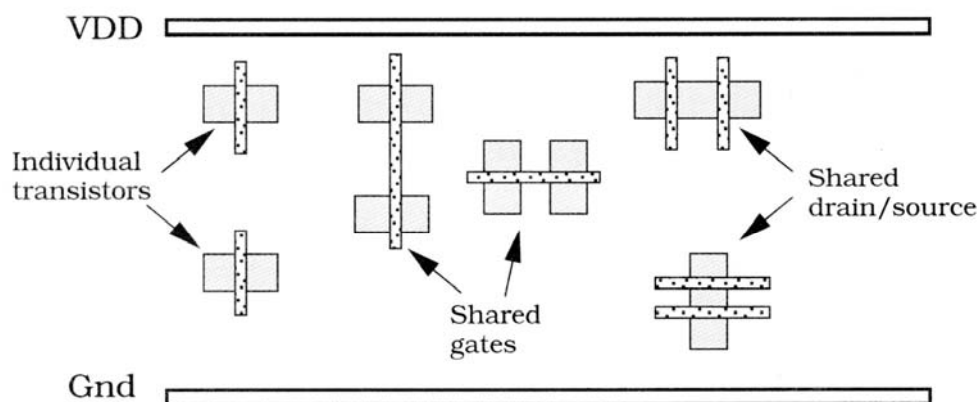


Figure 3.43 General gate layout geometry

规则的图形和阵列可以得到最高的密度!



§ 3.4 FET阵列设计

棍棒图（版图简单画法）

各工艺层常用的颜色

- 多晶硅（栅极）：红色
- 掺杂n+/p+（有源区）：绿色
- n阱：黄色
- 金属1：蓝色
- 金属2：灰色
- 触点：黑色的叉号（×）



§ 3.4 FET阵列设计

设计棍棒图的规则

- 红色和绿色交叉产生一个晶体管
- 黄色边框内的晶体管为PMOS管，不在黄色框内为NMOS管
- 红色可以越过蓝色或灰色
- 蓝色可以越过红色、绿色或灰色
- 灰色可以越过红色、绿色或蓝色
- 蓝色与绿色连接必须通过晶体管的接触孔
- 蓝色与灰色连接必须通过通孔
- 蓝色与红色连接必须通过多晶接触孔

§ 3.4 FET阵列设计



例:

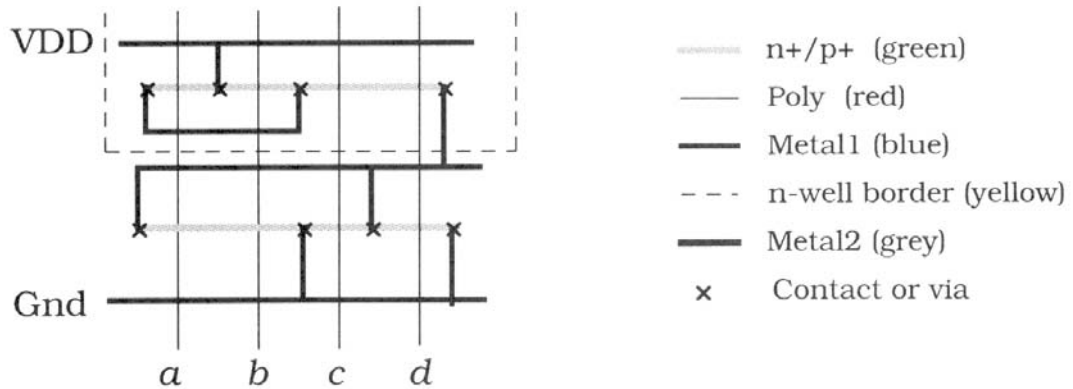


Figure 3.44 Basic stick layout diagram

§ 3.4 FET阵列设计



紧凑版图的实现方法

图论中FET的表示法

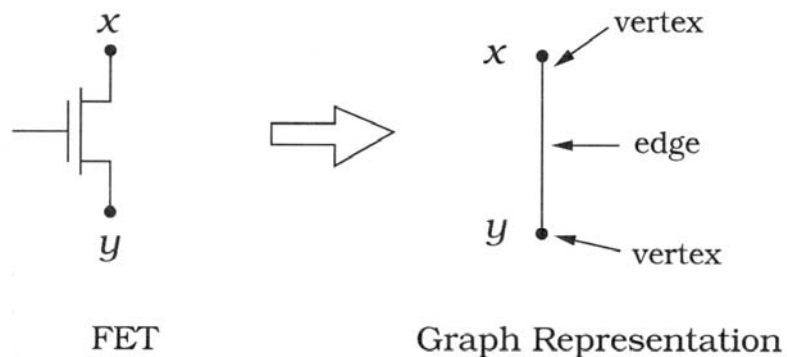


Figure 3.45 Representation of a FET in graph theory

§ 3.4 FET阵列设计

紧凑版图的实现方法

1 构造欧拉图

晶体管网络的欧拉图是一个用边代表晶体管、用节点代表网络节点的图。

CMOS逻辑门电路的上拉网络和下拉网络是对偶的，所以它们相应的欧拉图也是对偶的。

2 识别欧拉路径

欧拉路径：经过欧拉图中所有节点并且只经过每条边一次的一条路径。

只有当上拉（下拉）网络的欧拉图中存在欧拉路径时，才能对输入端排序使多个PMOS（NMOS）晶体管共用一条连续的扩散区。

要使每个输入只用一条多晶硅线，上拉网络和下拉网络必须具有一致的欧拉路径。

§ 3.4 FET阵列设计

欧拉图的构成

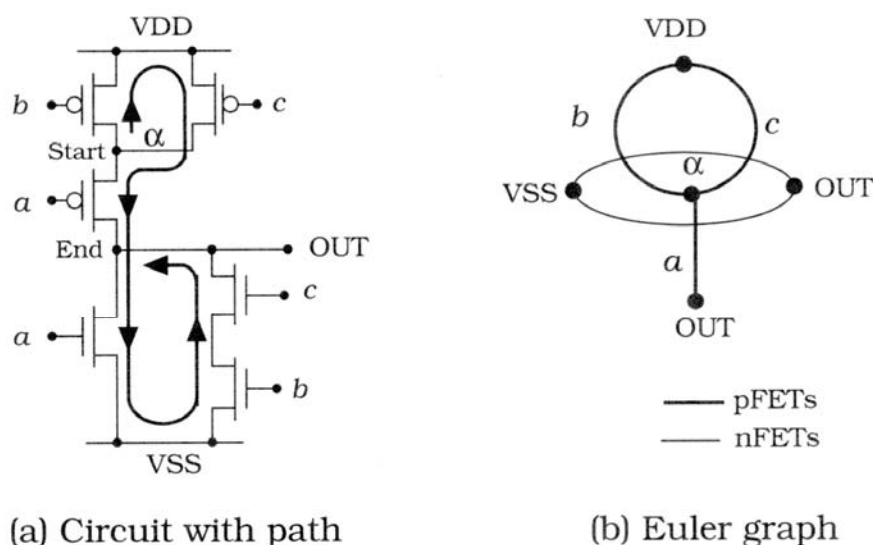


Figure 3.46 Construction of an Euler graph