



第4章 CMOS集成电路的制造

本章目录

- 4.1 硅工艺概述
- 4.2 材料生长与淀积
- 4.3 刻蚀
- 4.4 CMOS工艺流程
- 4.5 设计规则

§ 4.1 硅工艺概述



- 平面工艺，多层加工
- 以硅圆片为单位制作

硅圆片及其芯片部位

圆片的直径：100~300mm

圆片的厚度：0.4~0.7mm

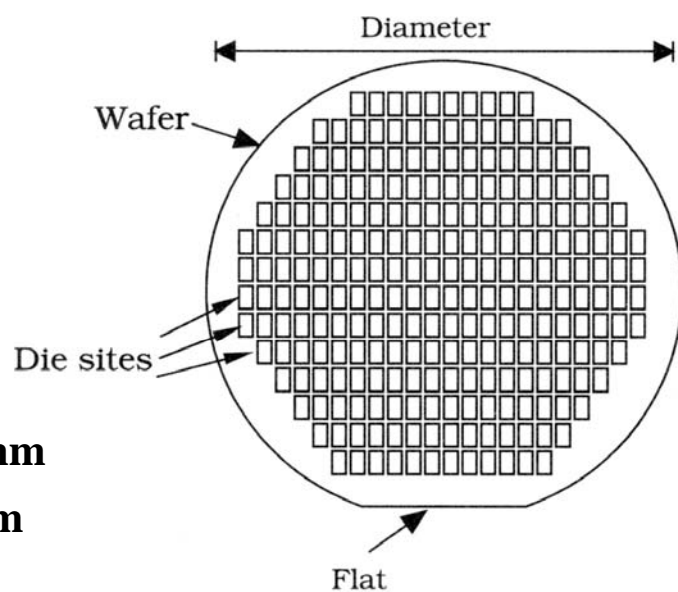


Figure 4.1 Silicon wafer showing die sites



§ 4.1 硅工艺概述

●集成电路成本

(1) 固定成本

固定成本与销售量无关。包括基础设施和生产设备的建设费用；研发费用；人工费用等。

(2) 可变成本

可变成本是指直接用于制造产品的费用，与产品的产量成正比。

$$\text{可变成本} = \frac{\text{芯片成本} + \text{芯片测试成本} + \text{芯片封装成本}}{\text{最终测试的成品率}}$$

$$\text{每个集成电路的成本} = \text{每个集成电路的可变成本} + \frac{\text{固定成本}}{\text{产量}}$$

经济学观点：提高成品率将降低每个集成电路的成本，因此成品率分析很重要。



§ 4.1 硅工艺概述

●成品率Y

$$Y = \frac{N_G}{N_T} \times 100\%$$

N_G : 功能正确的芯片数目

N_T : 芯片的总数目

$$N_T = \frac{\pi(d/2)^2}{A_{die}} - \frac{\pi d}{\sqrt{2A_{die}}}$$

A_{die} : 芯片面积

d : 圆片直径

$$Y = \left(1 + \frac{D \times A_{die}}{\alpha}\right)^{-\alpha}$$

D : 缺陷密度，单位： cm^{-2}

α : 与制造工艺复杂性相关的参数

对于现代复杂的CMOS工艺， $\alpha \approx 3$

$$\text{芯片成本} = \frac{\text{圆片成本}}{N_G} \Rightarrow \text{芯片成本} = f(\text{芯片面积})^4$$



§ 4.1 硅工艺概述

- 集成电路加工的基本操作
 - 形成某种材料的薄膜
 - 在各种薄膜材料上形成需要的图形
 - 通过掺杂改变材料的电阻率或杂质类型



§ 4.2 材料生长与淀积

形成薄膜的方法

- ◆ 热氧化
- ◆ 物理气相淀积 (PVD)
- ◆ 化学气相淀积 (CVD)

§ 4.2.1 二氧化硅

- SiO_2 称为石英玻璃，电阻率约为 $10^{12} \Omega \cdot \text{cm}$
- SiO_2 是一种极好的电绝缘体
- SiO_2 能很好地附着在大多数材料上
- SiO_2 可生长在硅圆片上或淀积在硅圆片上面

§ 4.2 材料生长与淀积



1 热氧化层生长

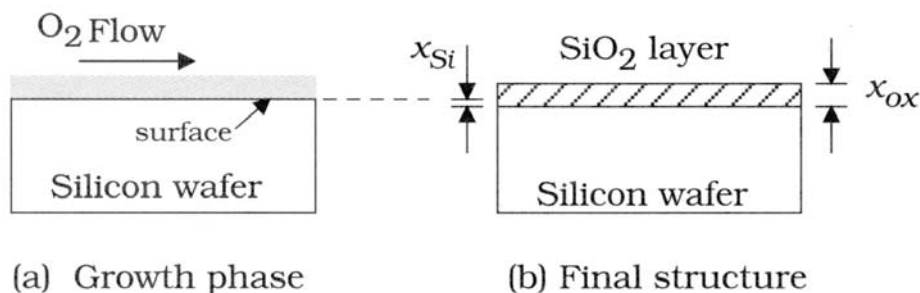


Figure 4.2 Thermal oxide growth

反应式：干氧： $\text{Si} + \text{O}_2 \rightarrow \text{SiO}_2$

湿氧： $\text{Si} + 2\text{H}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{H}_2$

消耗的硅层厚度： $x_{\text{Si}} \approx 0.46x_{\text{Ox}}$

§ 4.2 材料生长与淀积



2 化学气相淀积（CVD）氧化工艺

气态物质通过化学反应在材料表面形成薄膜。适宜晶圆表面已覆盖氧化层情况。

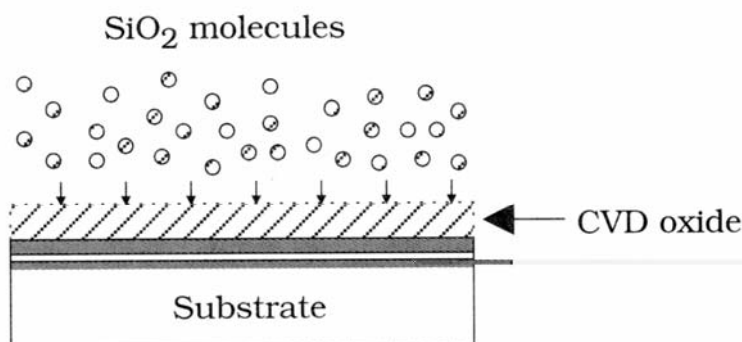


Figure 4.3 CVD oxide process

反应式： $\text{SiH}_4(\text{气}) + 2\text{O}_2(\text{气}) \rightarrow \text{SiO}_2(\text{固}) + 2\text{H}_2\text{O}(\text{气})$

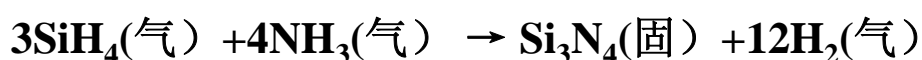


§ 4.2 材料生长与淀积

§ 4.2.2 氮化硅

- 用于表面覆盖，对大多数物质原子有阻挡作用，防污染
- 介电常数较大： $\epsilon_N \approx 7.8\epsilon_0$
- 制造过程中用来在电气上隔离相邻场效应管
- 同 SiO_2 一样，能被化学漂洗掉

反应式：



§ 4.2 材料生长与淀积

§ 4.2.3 多晶硅

多晶硅：**Poly**层，形成栅极

在 SiO_2 上淀积硅原子，形成多晶（局部小区域Si原子规则排列）



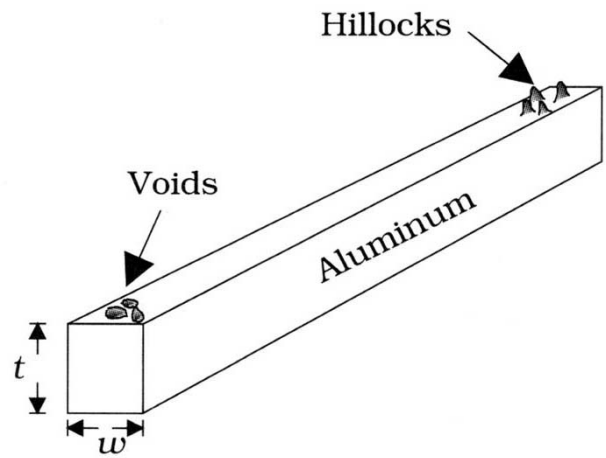
Poly优点：

- 可被掺杂，增强导电性
- 与 SiO_2 良好接合
- 可覆盖高熔点金属，如钛（Ti）、铂（Pt）、钨（W）、钴（Co），降低薄层电阻

§ 4.2 材料生长与淀积

§ 4.2.4 金属化

- 铝：粘附性好
- 在真空腔中加热蒸发，形成蒸铝流体覆盖晶圆
- 电阻率 $\rho = 2.65\mu\Omega \cdot \text{cm}$
- 缺点：
电阻率比较大；高电流密度情况下存在电迁移问题，原子从导线一端移出，在另一端堆积。



铝的电迁移效应

$$\text{电流密度: } J = \frac{I}{A} = \frac{I}{wt}$$

§ 4.2 材料生长与淀积

§ 4.2.5 掺杂

- 扩散——高温过程
- 离子注入——常温下进行，注入后需要高温退火处理

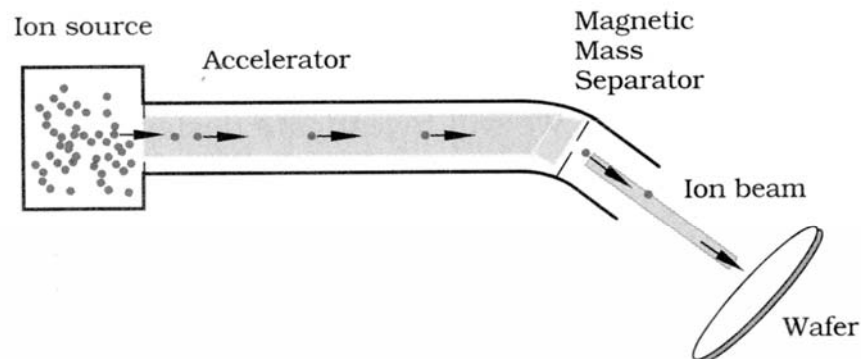


Figure 4.5 Basic sections of an ion implanter

掺杂剂原子在腔室中电离→加速到很高能量
→质量分离器→射入衬底



§ 4.2 材料生长与淀积

高斯分布的注入剖面

$$N_{ion}(x) = N_p e^{-\frac{1}{2} \left(\frac{x-R_p}{\Delta R_p} \right)^2}$$

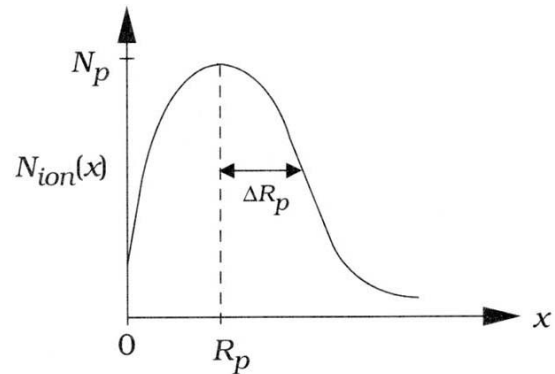
R_p : 穿透的平均深度

ΔR_p : 穿透深度的标准差

N_p : 峰值密度

$$D_I = \int_{All\ x} N_{ion}(x) dx$$

D_I : 单位面积注入的离子数



采用退火法使掺杂剂处于晶格位置上。



§ 4.2 材料生长与淀积

离子注入法的特点:

- 掺杂的过程可通过调整杂质剂量及能量来精确的控制, 杂质分布均匀
- 可进行小剂量的掺杂
- 可进行极小深度的掺杂
- 较低的工艺温度, 故光刻胶可用作掩模
- 可供掺杂的离子种类较多
- 在大剂量注入时半导体晶格会被严重破坏并很难恢复

§ 4.2 材料生长与淀积

§ 4.2.6 化学机械抛光 (CMP)

平坦化技术：将硅片表面变为一平坦表面。

采用化学刻蚀和机械“喷沙”在硅圆片上产生平整的表面。

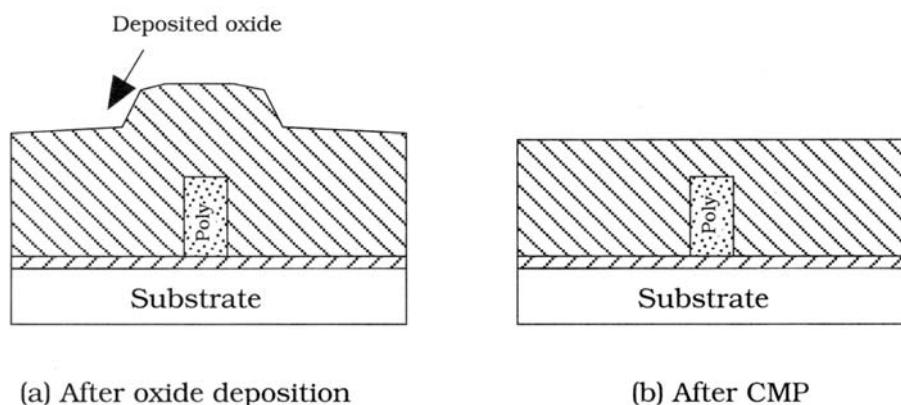


Figure 4.8 Surface planarization

§ 4.3 刻蚀

光刻：图形由掩模转移到光刻胶上

刻蚀：图形由光刻胶转移到光刻胶下面的材料上

掩模：一块有铬图案的玻璃板

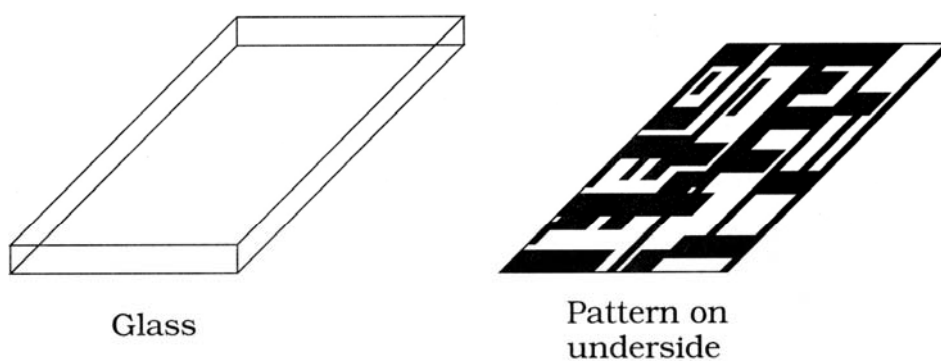


Figure 4.9 A reticle is a glass plate with a chromium pattern

§ 4.3 刻蚀

涂光刻胶：滴光刻胶→高速旋转

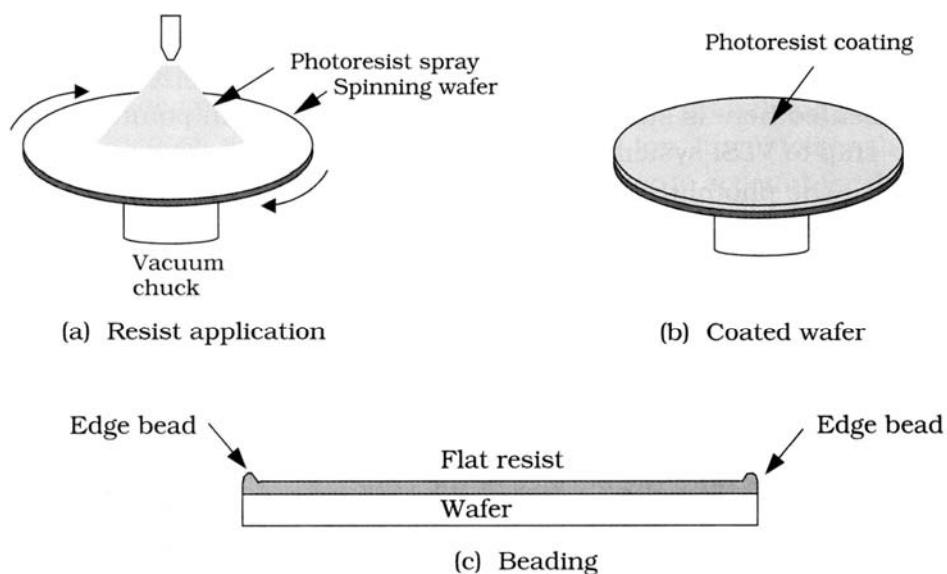


Figure 4.10 Photoresist application

§ 4.3 刻蚀

曝光：
光刻胶与光相互作用，发生化学反应。

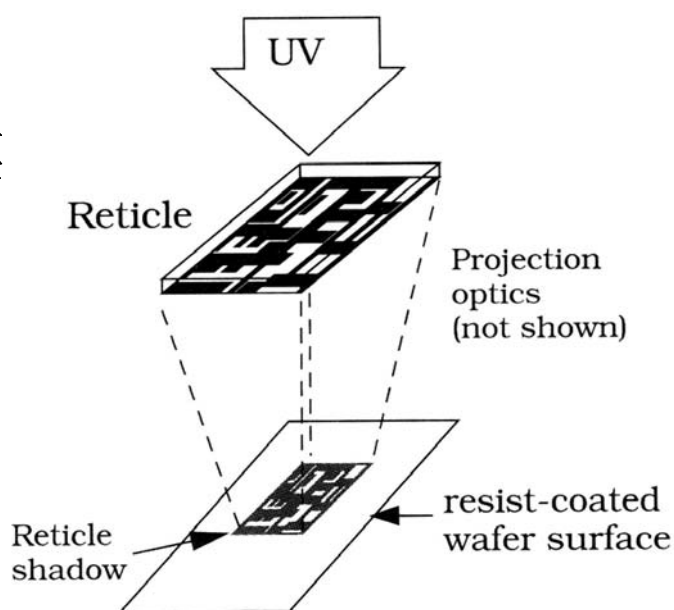


Figure 4.11 Exposure step

§ 4.3 刻蚀

光刻胶：根据曝光前后溶解特性的变化，分为正胶和负胶。

正胶：曝光前不可溶，曝光后可溶

负胶：曝光前可溶，曝光后不可溶

正光刻胶特点

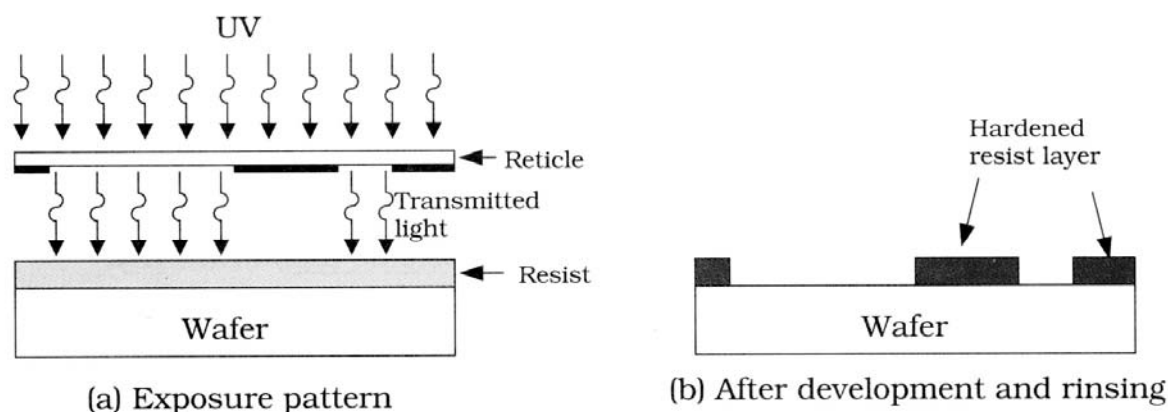


Figure 4.12 Characteristics of positive photoresist

§ 4.3 刻蚀

例：氧化层刻蚀

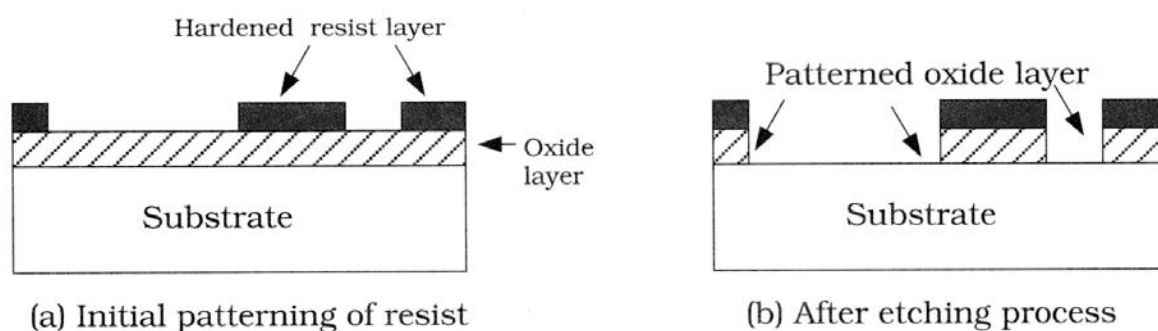


Figure 4.13 Etching of an oxide layer

工艺步骤：甩胶→曝光→显影→刻蚀→去胶

§ 4.3 刻蚀

例：形成掺杂硅层图案

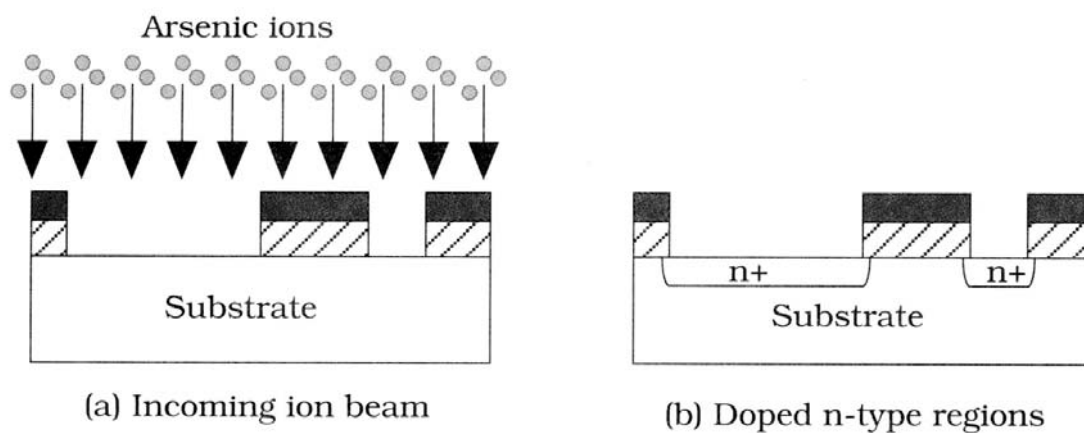


Figure 4.14 Creation of doped silicon patterns

§ 4.3 刻蚀

圆片上的芯片部位

芯片用“步进和重复过程”一个一个曝光。

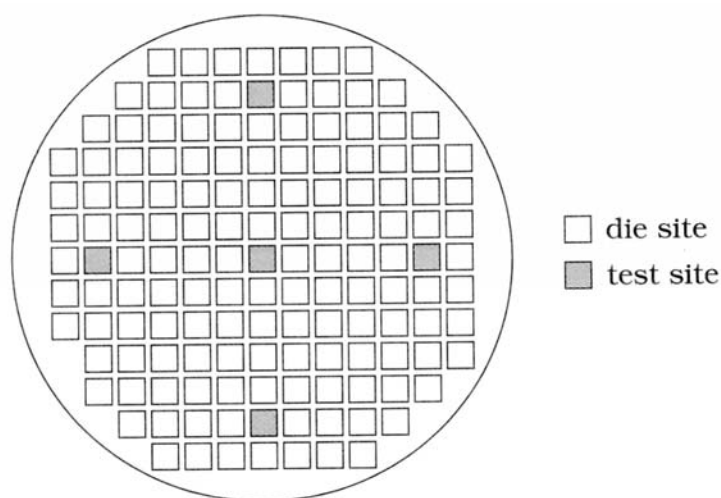


Figure 4.15 Wafer sites

洁净间：光刻在洁净间完成，X级的洁净间是指每立方英尺中直径大于 $0.5\mu\text{m}$ 的颗粒应当少于X个。

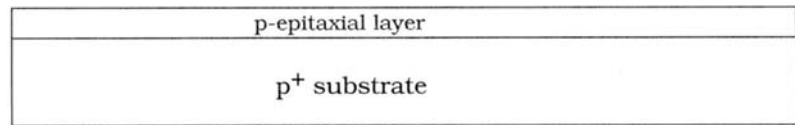
§ 4.4 CMOS工艺流程



1 N阱CMOS工艺

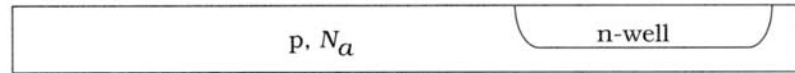
(1) CMOS制造中起始的几道工序

(a) 有外延层的初始圆片



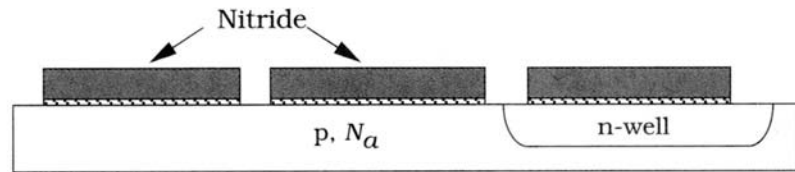
(a) Starting wafer with epitaxial layer

(b) 在外延层中形成n阱



(b) Creation of n-well in p-epitaxial layer

(c) 用氮化物/氧化物确定有源区



(c) Active area definition using nitride/oxide

Figure 4.16 (a) Initial sequences in the CMOS fabrication sequence

2018-9-5

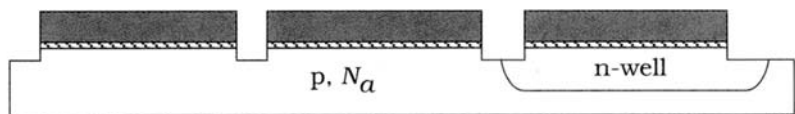
第4章 CMOS集成电路的制造

23

§ 4.4 CMOS工艺流程

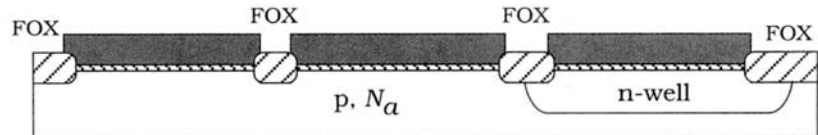


(d) 硅片刻蚀



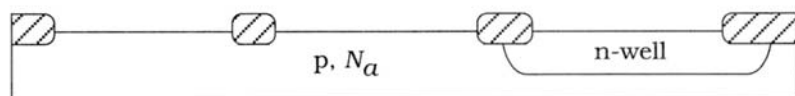
(d) Silicon etch

(e) 场氧生长



(e) Field oxide growth

(f) 表面去除氮化物/氧化物



(f) Surface preparation

Figure 4.16 (b) Initial sequences in the CMOS fabrication sequence

2018-9-5

第4章 CMOS集成电路的制造

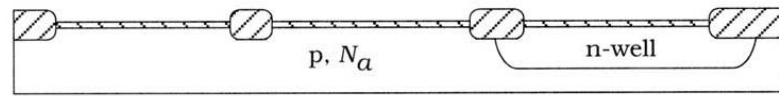
24

§ 4.4 CMOS工艺流程



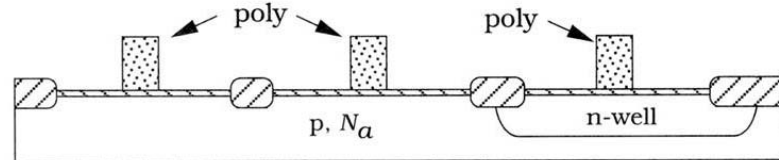
(2) NMOS和PMOS的形成

(a) 栅氧生长



(a) Gate oxide growth

(b) 多晶硅的淀积和形成图案



(b) Poly gate deposition and patterning

2018-9-5

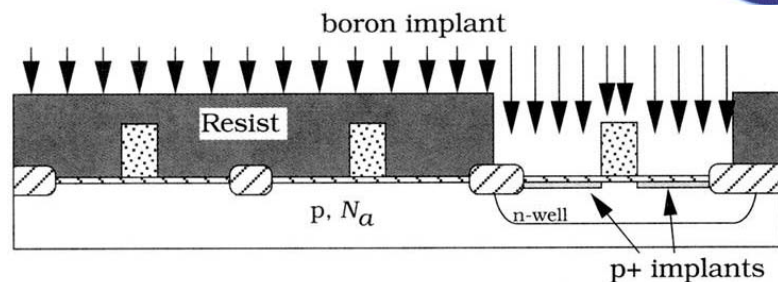
第4章 CMOS集成电路的制造

25

§ 4.4 CMOS工艺流程

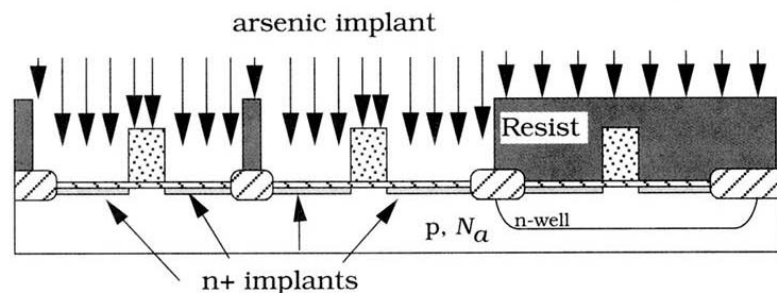


(c) pSelect掩模与注入



(c) pSelect mask and implant

(d) nSelect掩模与注入



(d) nSelect mask and implant

Figure 4.17 Formation of nFETs and pFETs

2018-9-5

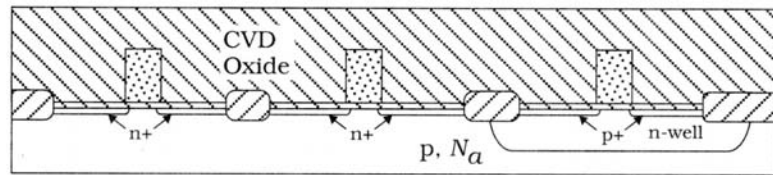
第4章 CMOS集成电路的制造

26



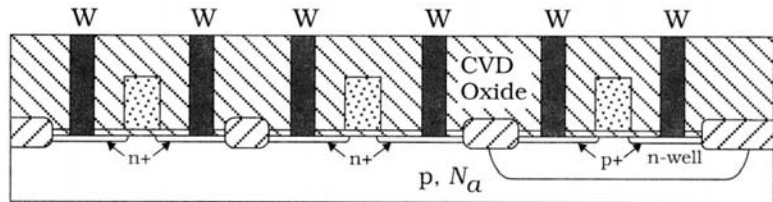
(3) 第一层金属互连层

(a) 退火和CVD氧化



(a) After anneal and CVD oxide

(b) CVD氧化层中有源区接触及钨塞形成

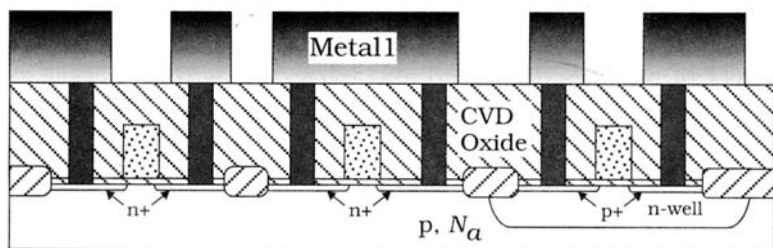


(b) After CVD oxide active contact, W plugs

Figure 4.18 (a) First metal interconnect layer



(c) 金属1涂层及图案形成



(c) Metall coating and patterning

Figure 4.18 (b) First metal interconnect layer

用同样的方法加入更多的金属层，金属互连层之间用二氧化硅绝缘。



(4) 压焊块：芯片内核与封装管壳之间的连接界面

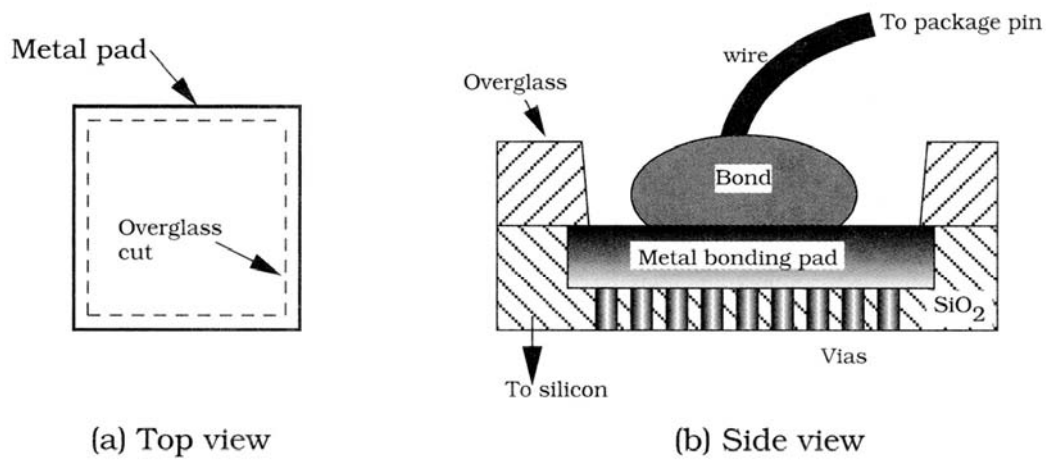


Figure 4.19 Bonding pad structure



2 工艺改进

(1) 轻掺杂漏区 (LDD) FET

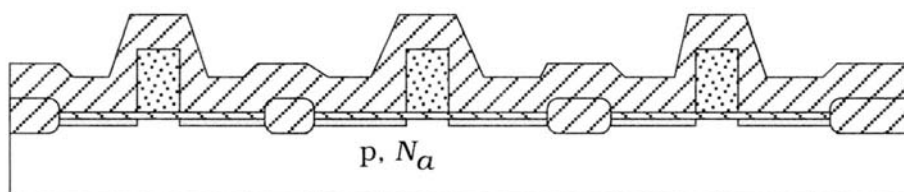
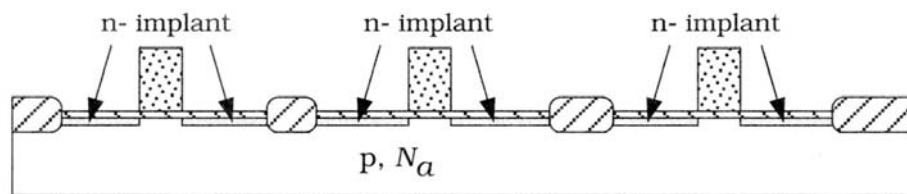


Figure 4.20 (a) Sequence for creating a lightly doped drain nFET

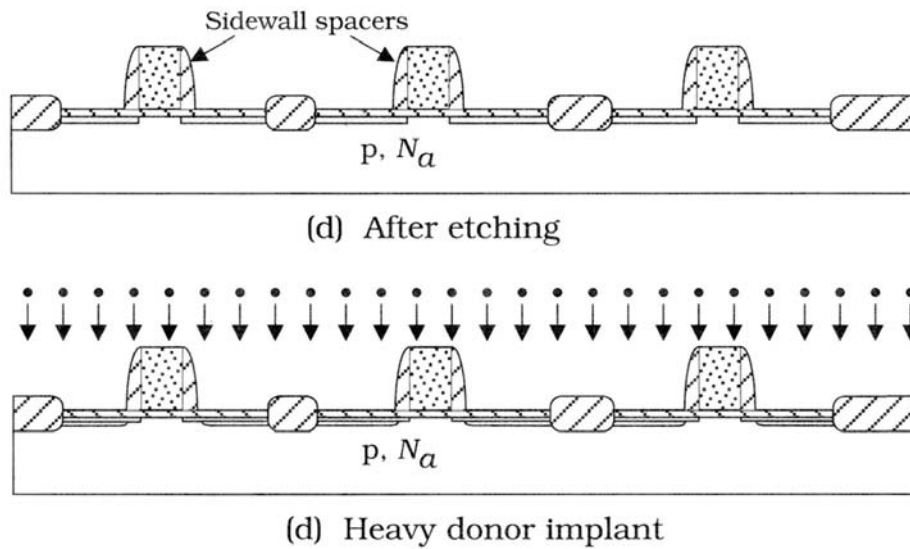


Figure 4.20 (b) Sequence for creating a lightly doped drain nFET



(2) 硅化物

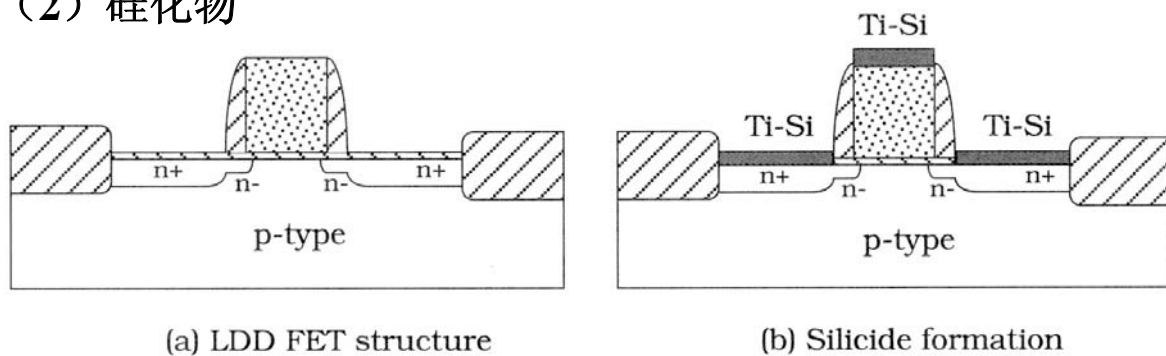


Figure 4.21 LDD nFET with silicided gate and contacts

在栅极两侧形成一定厚度的二氧化硅或氮化硅侧墙，然后淀积难熔金属并和硅反应形成硅化物。

作用：减小多晶硅和源、漏区的寄生电阻；

减小金属连线和源、漏区接触孔的接触电阻

(3) 铜互连线与铜通孔

- ◆铜比铝的电阻率低40%左右，用铜互连代替铝互连可减小互连线的寄生电阻
- ◆采用铜互连可减少连线层数
- ◆铜易于扩散到二氧化硅中，会影响器件性能
- ◆铜不能用常规的方法制作，需要特殊的工艺技术

●铜互连线——大马士革镶嵌工艺

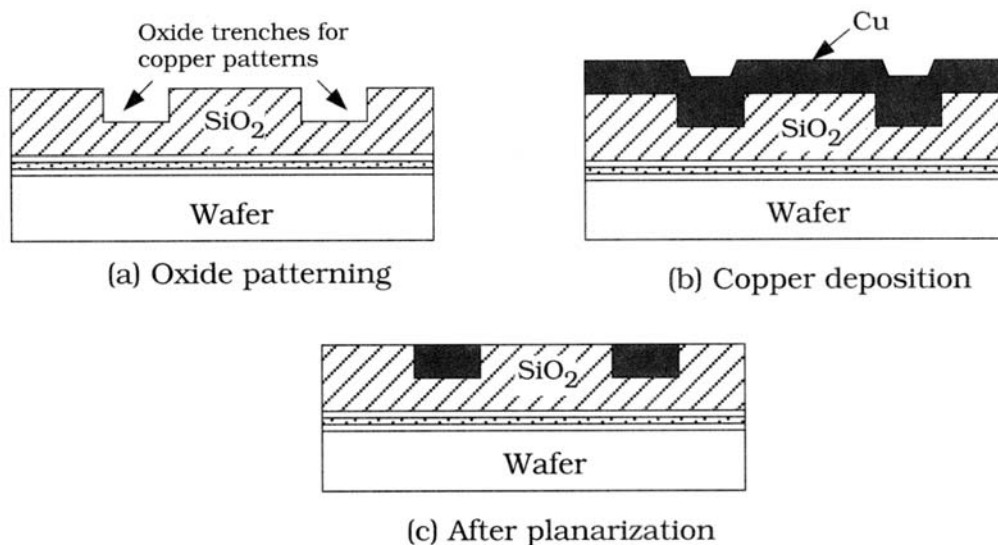


Figure 4.22 Copper patterning using the Damascene process

刻蚀二氧化硅→淀积铜（电镀）→化学机械抛光

●铜通孔——双大马士革镶嵌工艺

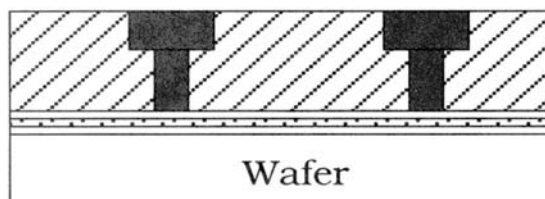


Figure 4.23 Dual-Damascene structure with copper vias

铜通孔特点：

- 铜通孔比钨通孔具有更低的电阻
- 避免了由标准工艺的铝-钨界面引起的接触电阻
- 铜易于扩散到二氧化硅中，铜的周围需要阻挡层

§ 4.5 设计规则

设计规则：指导版图掩模设计的对几何尺寸的一组规定。

设计规则的四种主要类别：

最小宽度、最小间距、离周边距离、露头。

- w =对最小宽度的规定
- s =对最小间距的规定
- d =其他一般的最小距离

例： w_{m1} =金属1的最小宽度

s_{m1-m1} =金属1和金属1之间的最小间距

§ 4.5 设计规则

两条多晶线的设计规则

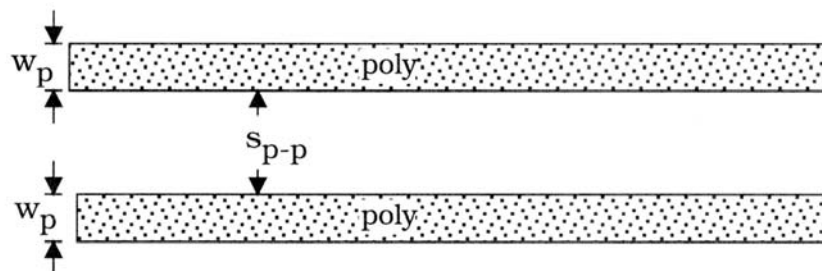


Figure 4.24 Design rule limits for two polysilicon lines

例： w_p =多晶线的最小宽度

s_{p-p} =多晶线与多晶线之间的最小间距

§ 4.5 设计规则

离周边距离设计规则的例子

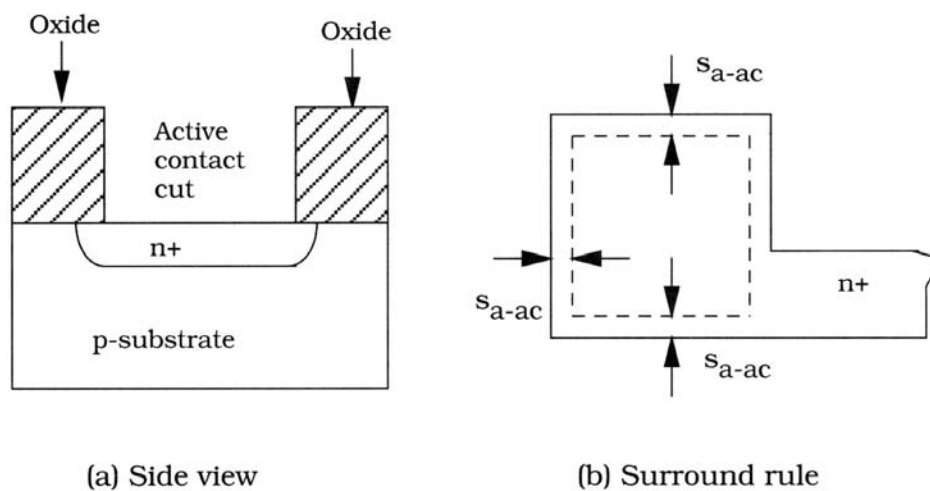


Figure 4.25 Example of a surround design rule

§ 4.5 设计规则



没有对准引起的缺陷

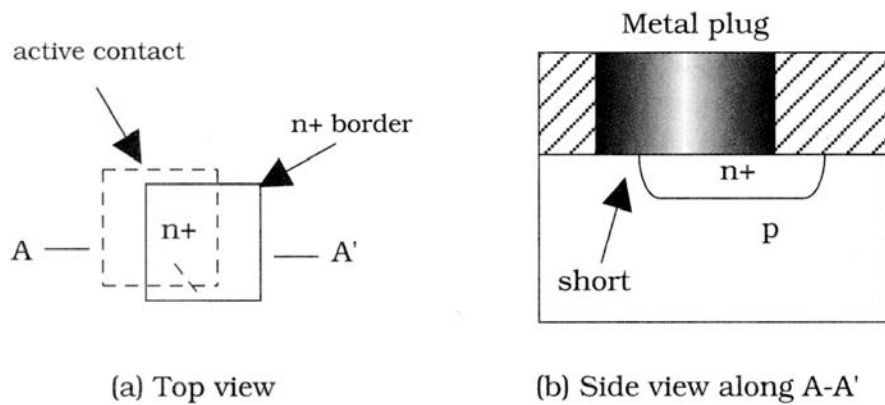


Figure 4.26 Misalignment-induced defect

2018-9-5

第4章 CMOS集成电路的制造

39

§ 4.5 设计规则



露头设计规则的例子

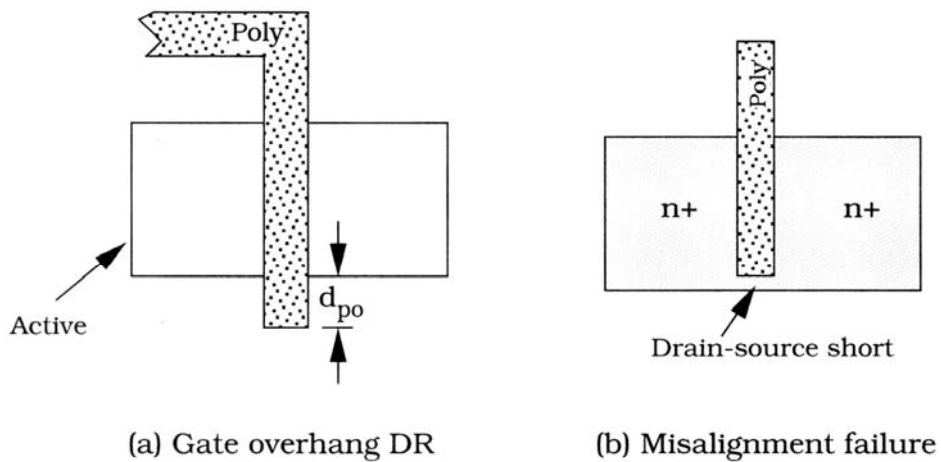


Figure 4.27 Example of an extend (gate overhang) design rule

2018-9-5

第4章 CMOS集成电路的制造

40

§ 4.5 设计规则

设计规则的两种形式：

(1) 微米设计规则：直接以微米为单位给出各种图形几何尺寸的要求。

- 灵活性大，能反映实际工艺水平；电路设计可达到最高的集成度；
- 通用性差，一旦工艺变化，需重新制定设计规则。

(2) λ 设计规则：以 λ 为单位给出各种图形几何尺寸的相对值。

工艺的最小线宽设为 2λ ，设计规则中所有的几何尺寸均规定为 λ 的整数倍。

- 通用性强，适合CMOS电路按比例缩小的发展规律；
- 电路设计无法达到最高的集成度。

§ 4.5 设计规则

§ 4.5.1 物理极限

(1) 光刻工艺的限制——光的衍射

(2) 刻蚀工艺的限制

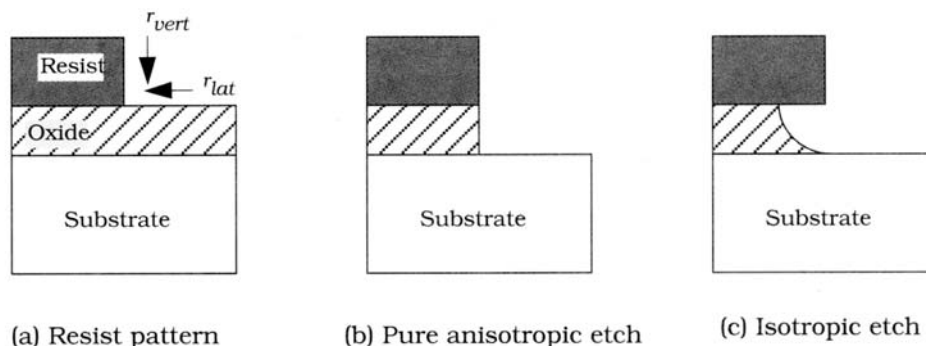


Figure 4.28 Etching profiles

各向异性程度： $A = 1 - \frac{r_{lat}}{r_{vert}}$

r_{lat} : 横向刻蚀速率
 r_{vert} : 纵向刻蚀速率

$A = 1$, 纯各向异性； $A = 0$, 纯各向同性

(3) n+间距的限制

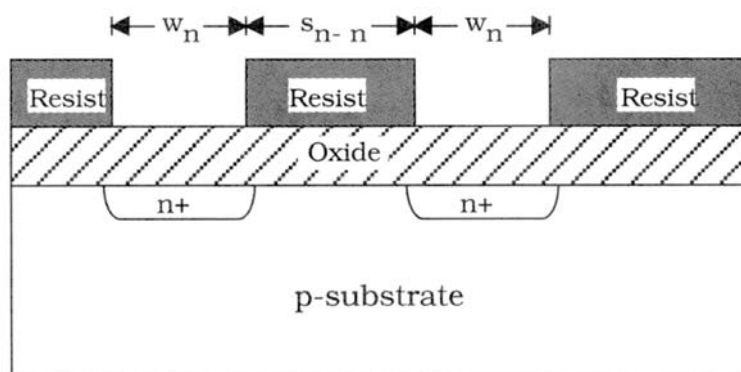


Figure 4.29 Limits on n+ spacings

(4) 导线间串扰的限制

§ 4.5.2 电气规则

- 金属互连线的允许宽度;
- n+间距的限制;
- 相邻两层导线重合面积的限制;
- 有源区与阱的距离;
- 天线效应