

第9章 CMOS逻辑电路的高级技术

本章目录

- 9.1 镜像电路
- 9.2 准nMOS电路
- 9.3 三态电路
- 9.4 时钟控制CMOS
- 9.5 动态CMOS逻辑电路
- 9.6 双轨逻辑电路

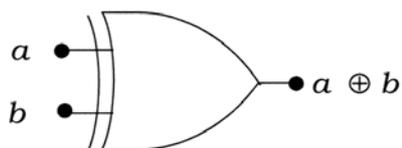
§ 9.1 镜像电路



- 对NMOS和PMOS采用相同的拓扑连接。

1 异或门 (XOR)

$$a \oplus b = \overline{a \cdot b} + \overline{a \cdot \overline{b}}$$



a	b	$a \oplus b$	On devices
0	0	0	← nFET
0	1	1	← pFET
1	0	1	← pFET
1	1	0	← nFET

Figure 9.1 XOR function table

§ 9.1 镜像电路



镜像XOR电路优点之一：对称的版图

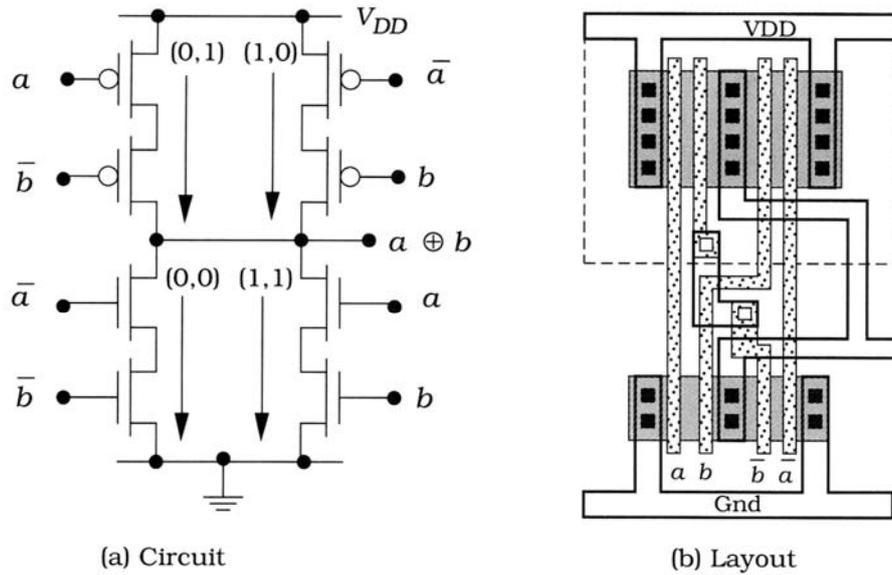


Figure 9.2 XOR mirror circuit

§ 9.1 镜像电路



镜像XOR电路优点之二：速度较快

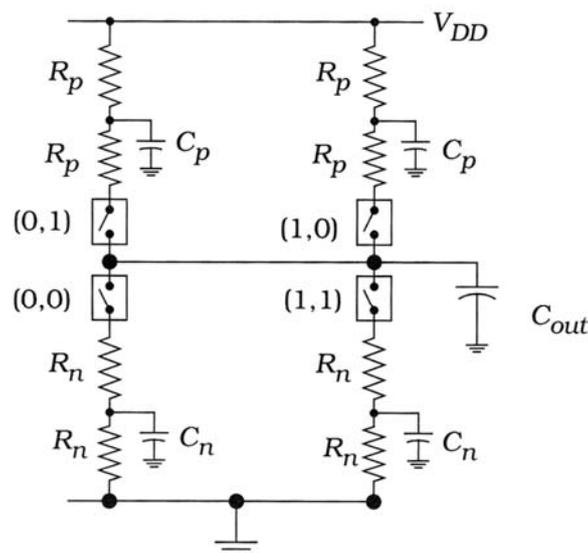


Figure 9.3 Switch model for transient calculations

应用Elmore公式：上升时间常数 $\tau_r = 2R_p C_{out} + R_p C_p$

§ 9.1 镜像电路

2 镜像电路XNOR异或非（同或）门实现：

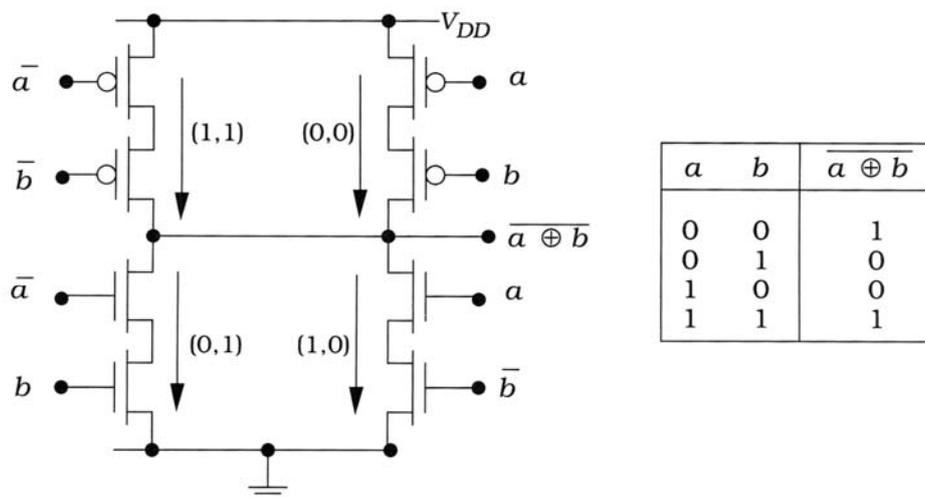


Figure 9.4 Exclusive-NOR (XNOR) mirror circuit

§ 9.2 准nMOS逻辑

1 结构

- 优点：
 - 晶体管较少，N个输入的门电路仅需N+1个MOS管
- 缺点：
 - (1) 静态功耗不为0；
 - (2) 是有比逻辑电路（输出与尺寸有关）

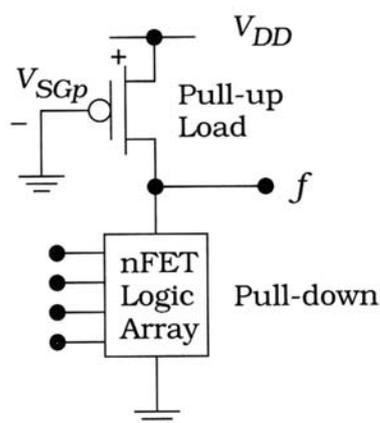


Figure 9.5 General structure of a pseudo-nMOS logic gate

§ 9.2 准nMOS逻辑



2 准nMOS逻辑 INV

- MOSFET尺寸的确定:
 设 $V_{in}=V_{DD}$, 且 V_{OL} 很小;
 则pFET工作在饱和区,
 nFET工作在线性区

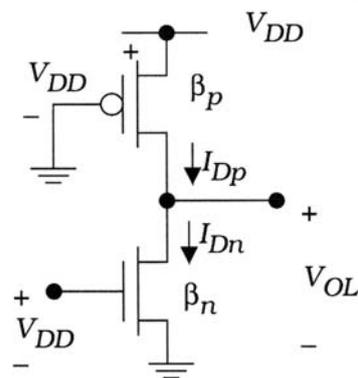


Figure 9.6 Pseudo-nMOS inverter

$$I_{Dn} = I_{Dp} \Rightarrow \frac{\beta_n}{2} [2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2] = \frac{\beta_p}{2} (V_{DD} - |V_{Tp}|)^2$$

$$\Rightarrow V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n} (V_{DD} - |V_{Tp}|)^2}$$

§ 9.2 准nMOS逻辑



例9.1 一个CMOS工艺, $V_{DD} = 5\text{V}$, $V_{Tn} = 0.7\text{V}$, $V_{Tp} = -0.8\text{V}$,
 $k'_n = 150\mu\text{A}/\text{V}^2$, $k'_p = 68\mu\text{A}/\text{V}^2$ 。一个准nMOS反相器的尺寸为
 $(W/L)_n = 4$ 及 $(W/L)_p = 6$, 这个反相器的输出电压为

$$V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n} (V_{DD} - |V_{Tp}|)^2}$$

$$= 4.3 - \sqrt{4.3^2 - \frac{408}{600} \times 4.2^2} = 1.75\text{V} \quad ?$$

如果nMOS反相器的尺寸为 $(W/L)_n = 8$ 及 $(W/L)_p = 2$, 则

$$V_{OL} = 4.3 - \sqrt{4.3^2 - \frac{136}{1200} \times 4.2^2} = 0.24\text{V}$$



3 准nMOS逻辑 NOR和NAND

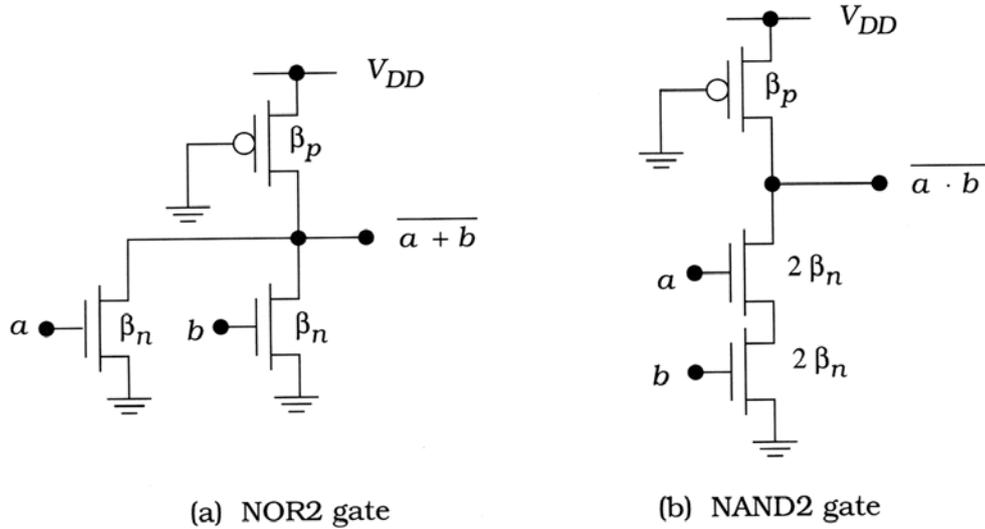


Figure 9.7 Pseudo-nMOS NOR and NAND gates



4 准nMOS 逻辑AOI: $f = \overline{ab + cd}$

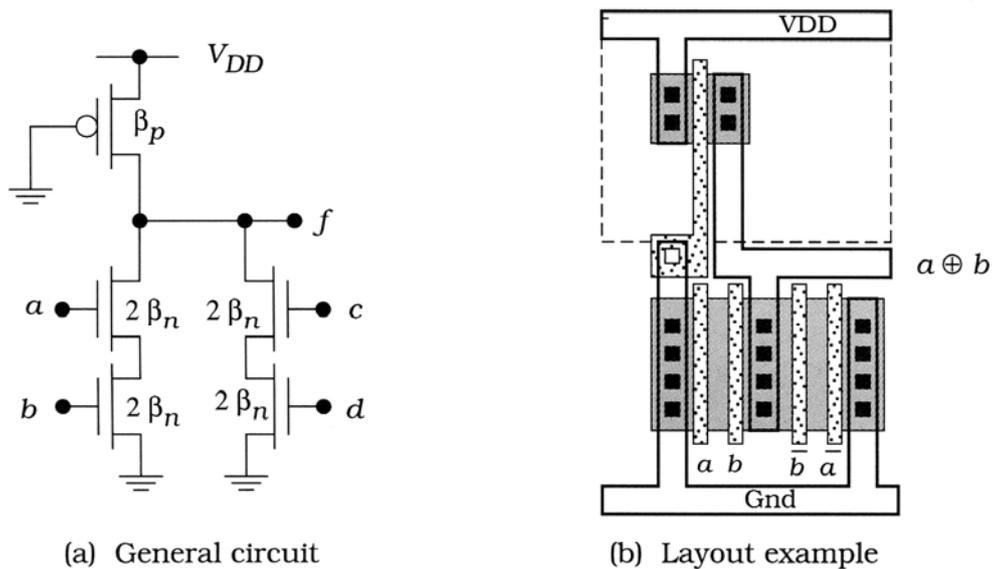


Figure 9.8 AOI gate in pseudo-nMOS logic

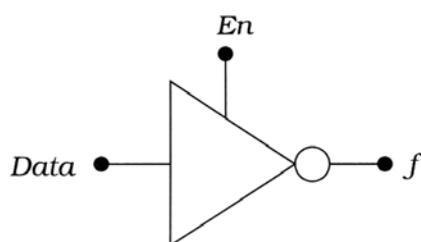
§ 9.2 准nMOS逻辑

准nMOS逻辑的设计特点：

- (1) 适合以NOR为基础的结构
- (2) 为得到合理的低电平噪声容限， V_{OL} 应当小
- (3) 为减小静态功耗，PMOS沟道电阻应当大
- (4) 为减小上升时间，PMOS沟道电阻应当小
- 条件(3)与(4)是矛盾的，可见：**实现一个较快的门意味着较多的静态功耗和较小的噪声容限**
- (5) 适用于对面积要求严格，而性能要求不高的场合

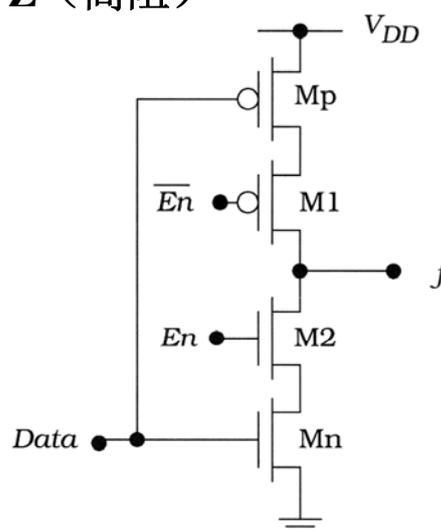
§ 9.3 三态电路

三态电路（隔离总线）：H，L，Z（高阻）



En	f
0	Z
1	\overline{Data}

(a) Symbol and operation



(b) CMOS circuit

Figure 9.9 Tri-state inverter



三态反相器的版图

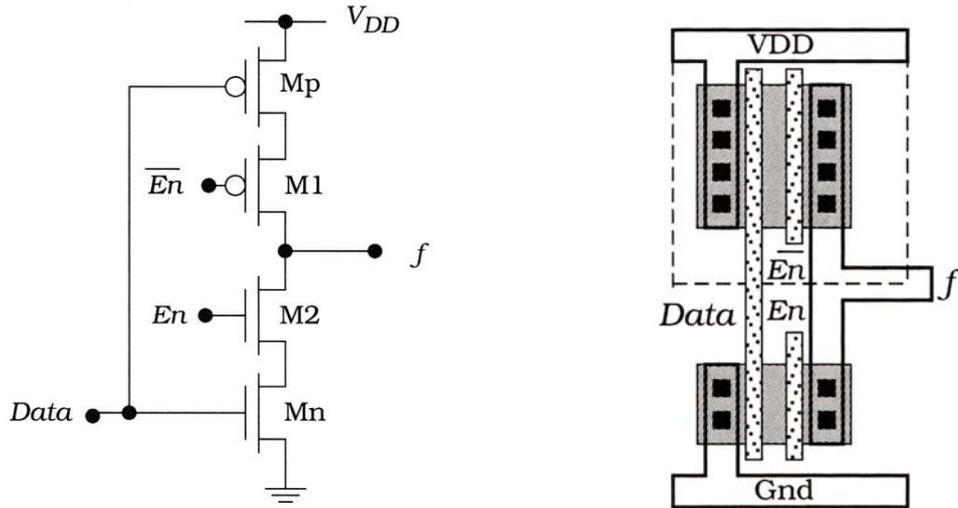


Figure 9.10 Tri-state layout

§ 9.4 时钟控制CMOS



1 基本结构

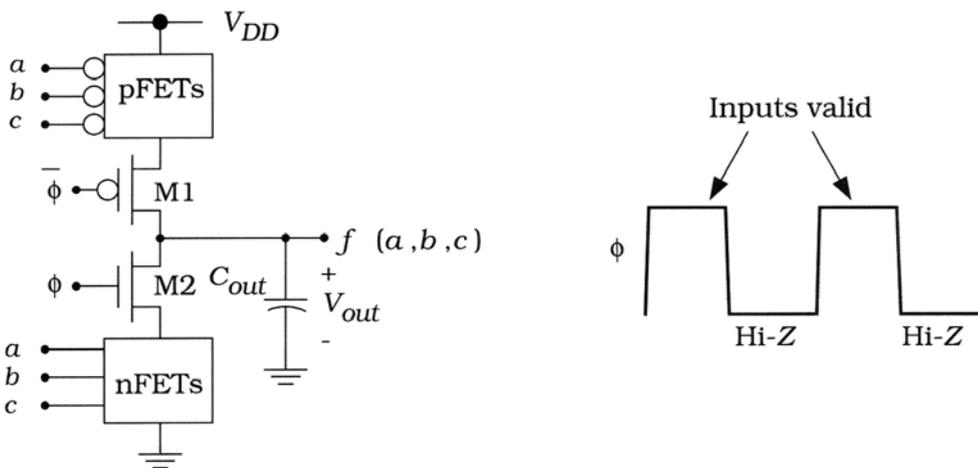


Figure 9.12 Structure of a C²MOS gate

§ 9.4 时钟控制CMOS



例：钟控CMOS逻辑门

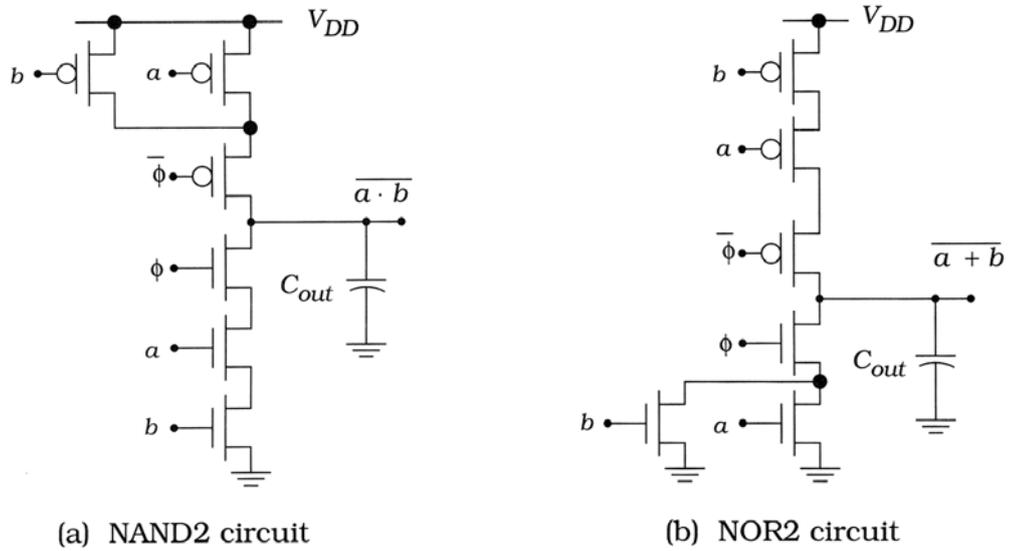


Figure 9.13 Example of clocked-CMOS logic gates

§ 9.4 时钟控制CMOS



例：钟控CMOS逻辑门的版图

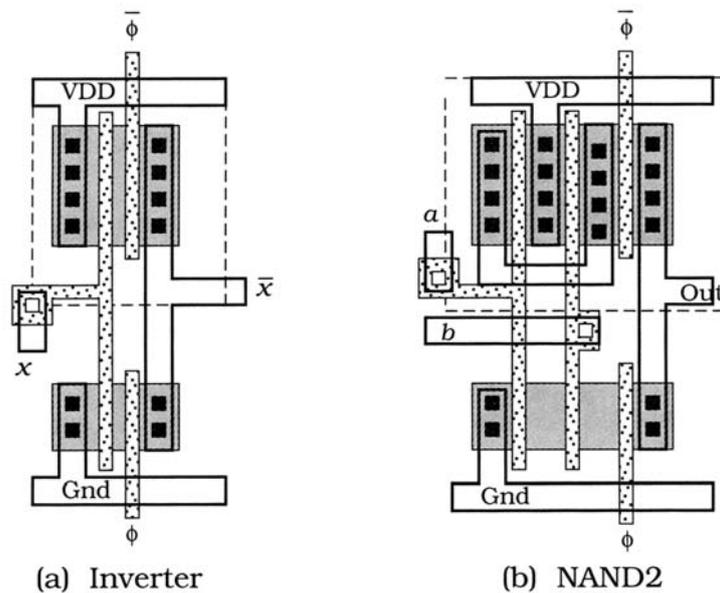


Figure 9.14 Layout examples of C²MOS circuits



2 电荷泄露

(1) PN结反向电流

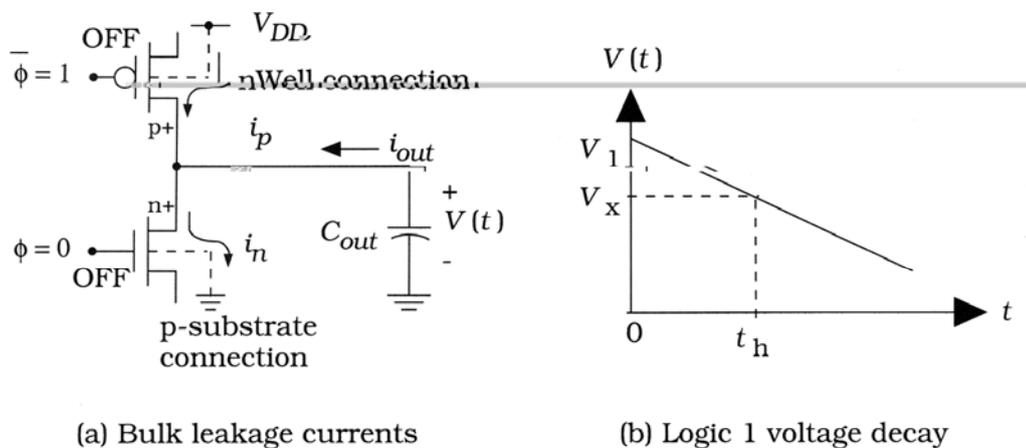


Figure 9.15 Charge leakage problem



$$i_{out} = i_n - i_p = -C_{out} \frac{dV}{dt}$$

设 $V(t=0) = V_1, i_n > i_p, i_{out} = I_L$

$$\therefore I_L = -C_{out} \frac{dV}{dt} \quad \int_{V_1}^{V(t)} dV = -\int_0^t \left(\frac{I_L}{C_{out}} \right) dt$$

设 I_L 为常数, $V(t) = V_1 - \left(\frac{I_L}{C_{out}} \right) t$

设最小允许的逻辑 1 电压为 V_x , 则 V_x 对应的时间为维持时间 t_h

$$V(t_h) = V_1 - \left(\frac{I_L}{C_{out}} \right) t_h = V_x \quad t_h = \left(\frac{C_{out}}{I_L} \right) (V_1 - V_x)$$

电荷泄漏现象使C²MOS电路中的最小时钟频率受到限制

§ 9.4 时钟控制CMOS

(2) 亚阈值电流 I_{sub} : 栅源电压小于阈值电压时的漏极电流。

$$I_D = I_{D0} \left(\frac{W}{L} \right) e^{(V_{GS} - V_T)/(nV_{th})} \quad \text{其中 } I_{D0} = I_{D0}(V_{DS}), \quad V_{th} = kT/q$$

亚阈值斜率 S : 漏极电流减小一个数量级所需栅电压的变化量

$$S = \frac{dV_{GS}}{d(\lg I_D)} \quad S = (\ln 10)nV_{th} \approx 2.3nV_{th}$$

典型值: $S = 60 \text{ mV} \sim 100 \text{ mV}$

3 改进方案

- 改进制造工艺来减少漏电
- 开发新类型的晶体管

§ 9.5 动态CMOS逻辑电路

1 结构

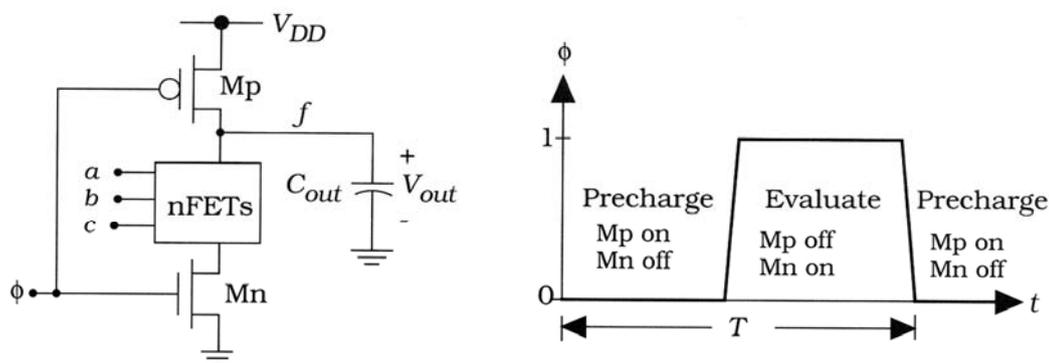


Figure 9.17 Basic dynamic logic gate

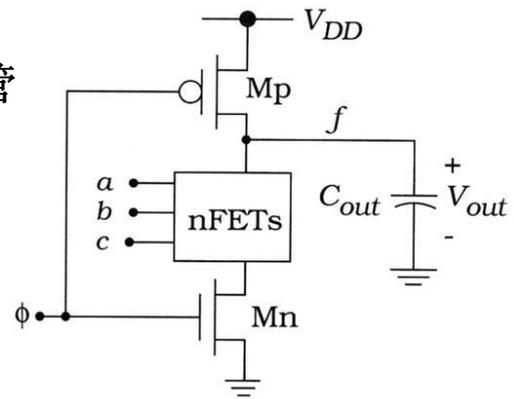
两个工作阶段: 预充电: $\phi=0$

求值: $\phi=1$



2 动态逻辑门的特点

- (1) 逻辑功能由PDN实现
- (2) N输入的逻辑门需N+2个MOS管
- (3) 是无比电路
- (4) 具有较快的速度
- (5) 静态功耗为零



例：NAND3

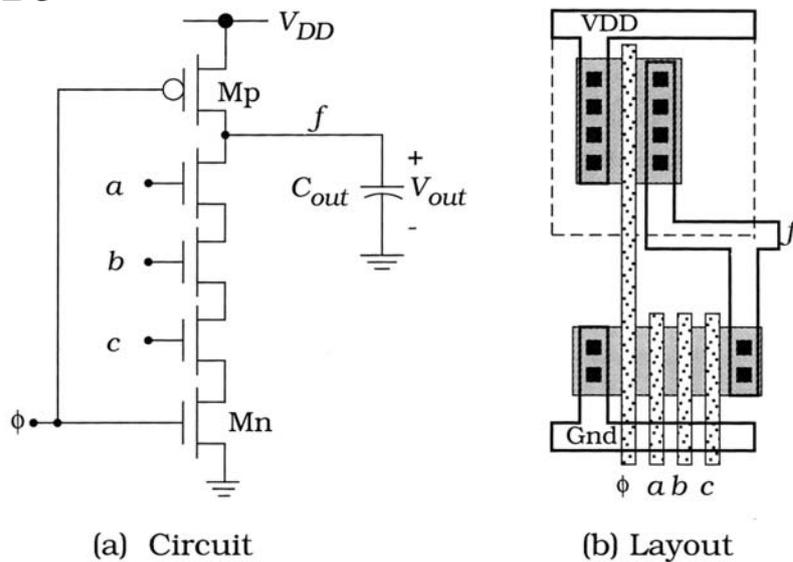
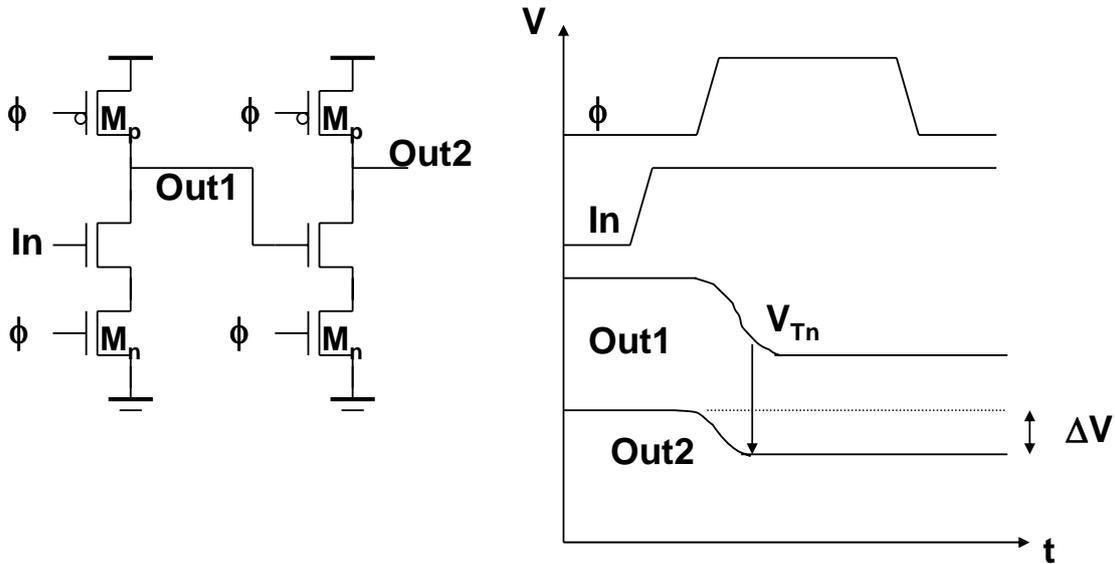


Figure 9.18 Dynamic logic gate example

§ 9.5 动态CMOS逻辑电路

4 动态电路串联



结论：动态电路不能直接串联

§ 9.5 动态CMOS逻辑电路

9.5.1 多米诺逻辑

1 结构

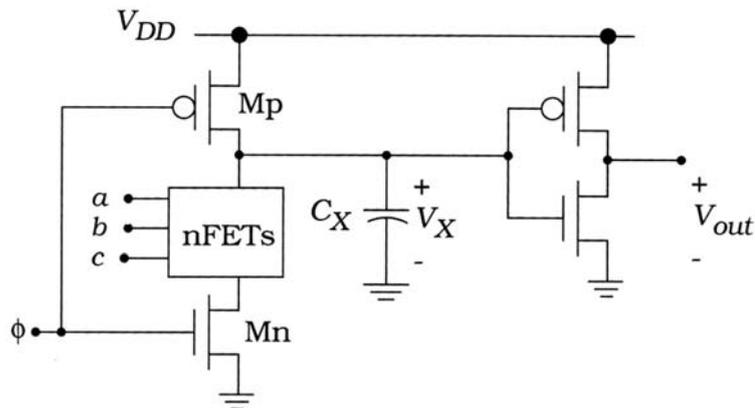


Figure 9.20 Domino logic stage

动态逻辑门输出接静态INV（成为非反相逻辑门）， $\phi=0$ 时预充电输出等于0

§ 9.5 动态CMOS逻辑电路

例：非反相多米诺逻辑门

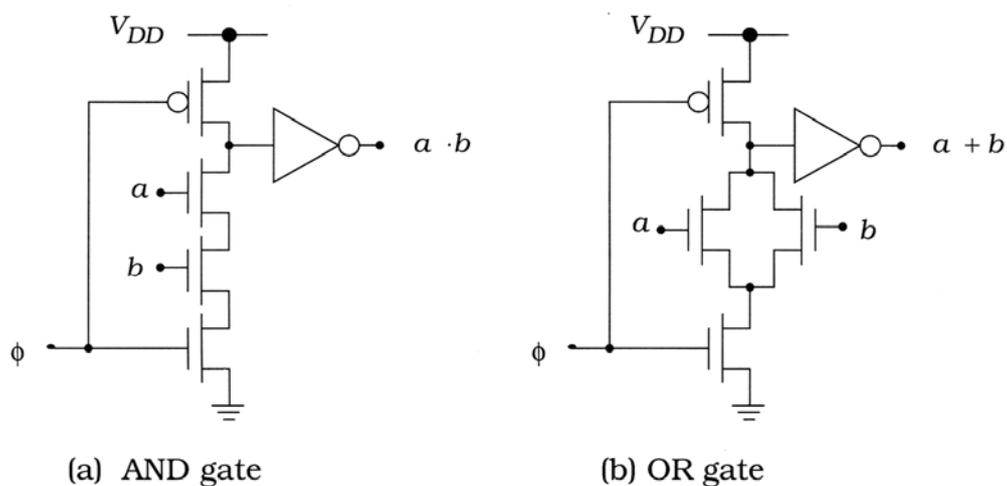


Figure 9.21 Non-inverting domino logic gates

§ 9.5 动态CMOS逻辑电路

例：多米诺与门的版图

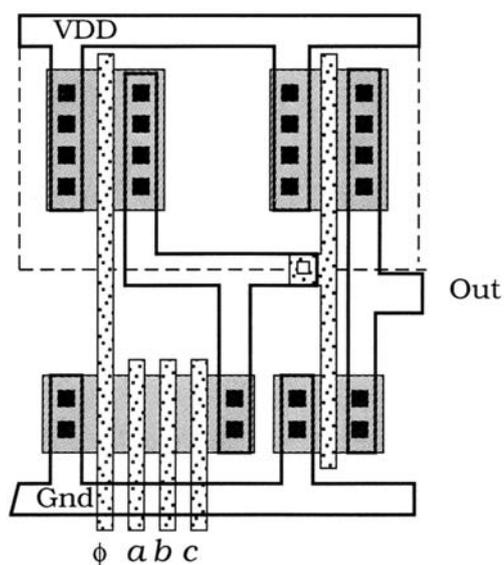


Figure 9.22 Layout for a domino AND gate

§ 9.5 动态CMOS逻辑电路

2 多米诺链：输出变化必始于第1级

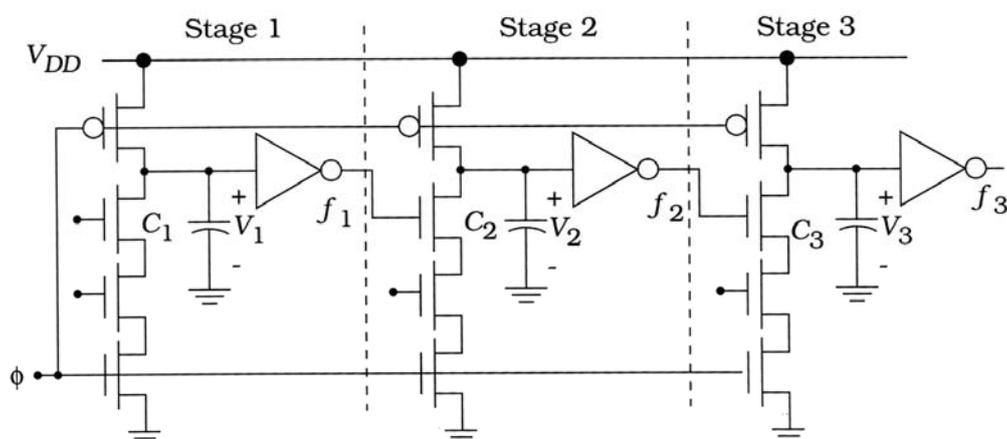


Figure 9.23 A domino cascade

$\phi=0$ 时， V_1, V_2, V_3 预充电到 V_{DD} ，与输入无关

$\phi=1$ 时，在输入均为 1 的情况下，对 C_1, C_2, C_3 依次放电

§ 9.5 动态CMOS逻辑电路

多米诺骨牌效应

串联电路中，各级信号会通过一级级的连锁反应传递电平，好象多米诺骨牌，这也正是电路名称的由来。

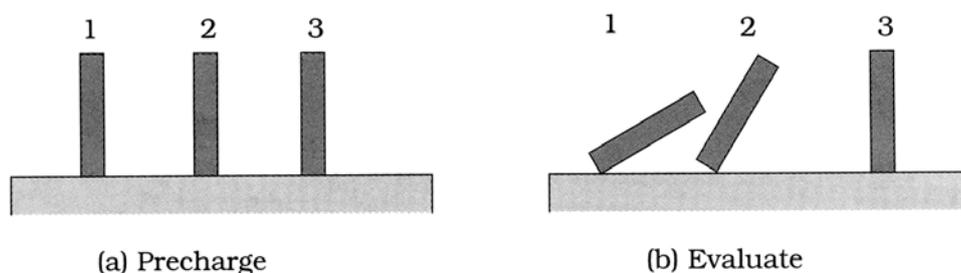


Figure 9.24 Visualization of the domino effect

§ 9.5 动态CMOS逻辑电路

3 多米诺逻辑中电荷保持电路

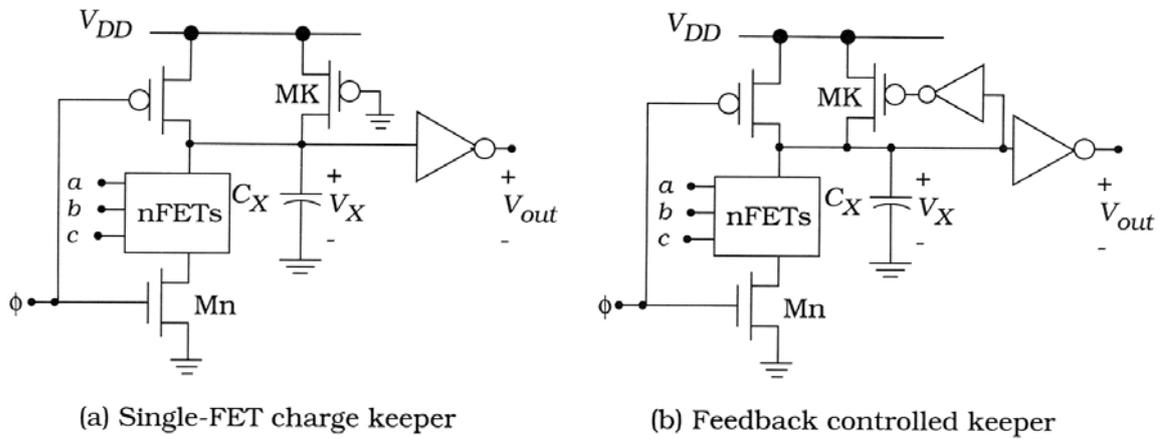


Figure 9.25 Charge-keeper circuits

§ 9.5 动态CMOS逻辑电路

4 多输出多米诺逻辑 (MODL)

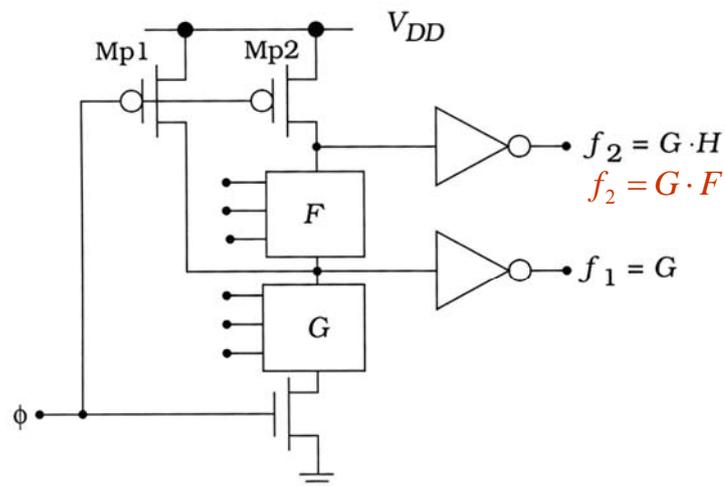
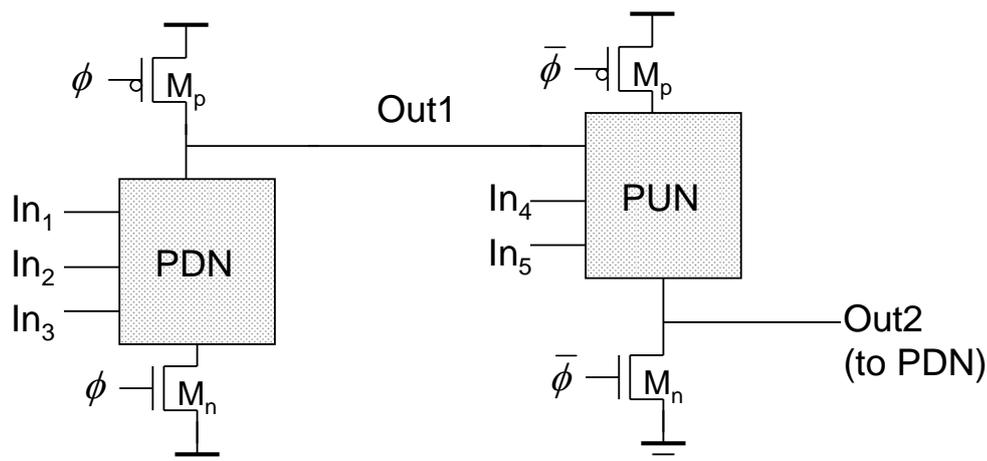


Figure 9.26 Structure of a MODL circuit



● np-CMOS逻辑



在PDN的输入端，只允许0 → 1的过渡

在PUN的输入端，只允许1 → 0的过渡



9.5.2 动态逻辑电路的功耗

总功耗通常高于静态CMOS

- 1 需要额外的电路驱动时钟网络
- 2 当增加抗漏电的MOS管时可能会有短路功耗
- 3 较高的翻转概率

N 输入门的翻转概率： $a_{0 \rightarrow 1} = \frac{N_0}{2^N}$

N_0 : 真值表中输出为0的个数

§ 9.6 双轨逻辑电路

采用互补的输入，同时产生互补输出的电路叫做**双轨逻辑电路**。

在双轨逻辑电路中，要求一个信号有正、反输入，它利用正反输入信号的差提高开关速度。

用两个变量 x 和反信号 \bar{x} 来形成差：

$$f_x = x - \bar{x}$$

对时间求导数：

$$\frac{df_x}{dt} = \frac{dx}{dt} - \frac{d\bar{x}}{dt} = 2 \frac{dx}{dt}$$

结论：双轨电路的开关速度是单轨电路的两倍

§ 9.6 双轨逻辑电路

9.6.1 CVSL：差分串联电压开关逻辑

优点：差值计算，
开关速度快

Sw1和Sw2互补

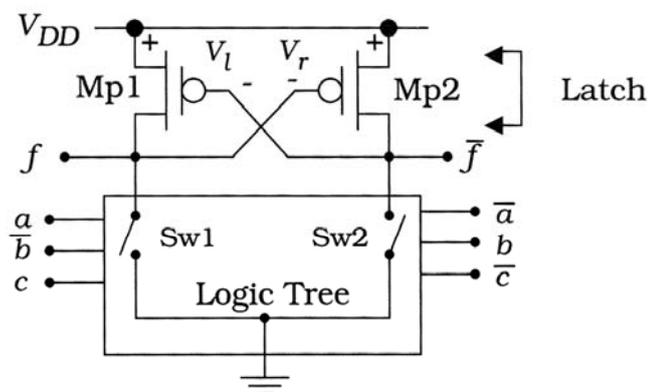


Figure 9.27 Structure of a CVSL logic gate

§ 9.6 双轨逻辑电路



1 Sw1和Sw2互补，左右两边采取各自独立的电路

例：AND/NAND电路和OR/NOR电路

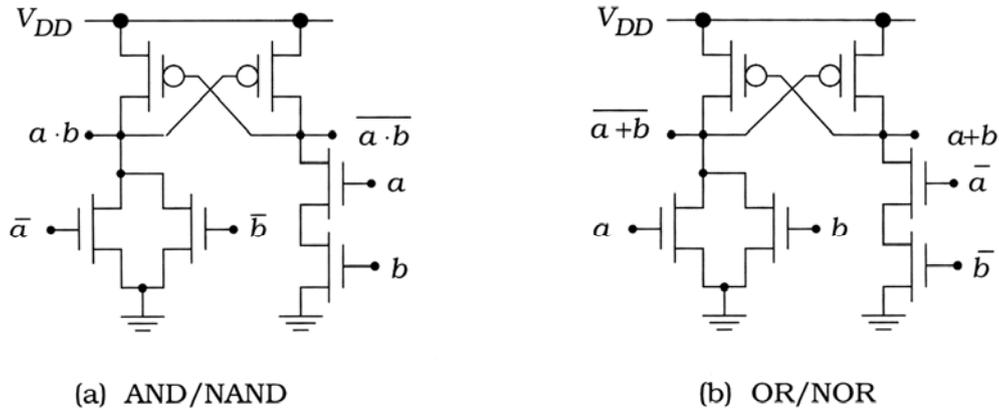


Figure 9.28 CVSL gate examples

§ 9.6 双轨逻辑电路



2 逻辑树：设计电路的一种结构化的方法

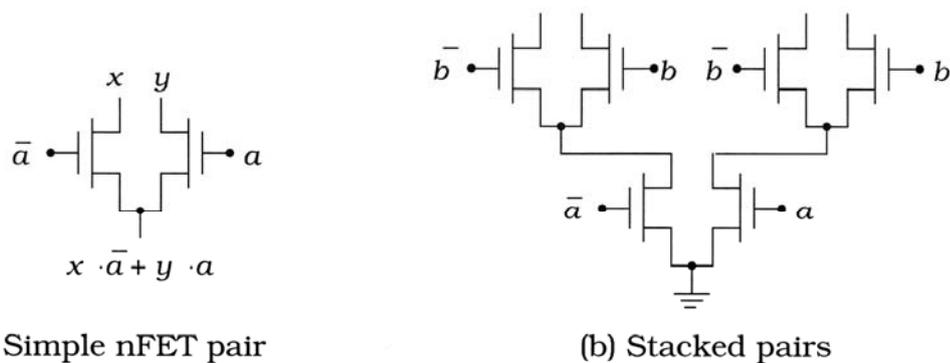


Figure 9.29 nFET logic pairs

§ 9.6 双轨逻辑电路



例1: 用nFET构成逻辑树

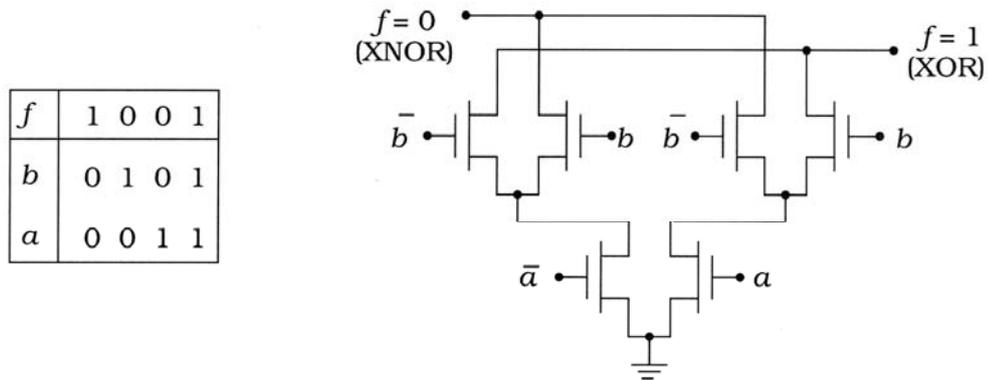


Figure 9.30 Example of a logic tree using nFET pairs

§ 9.6 双轨逻辑电路



例2: 具有3层逻辑树的例子

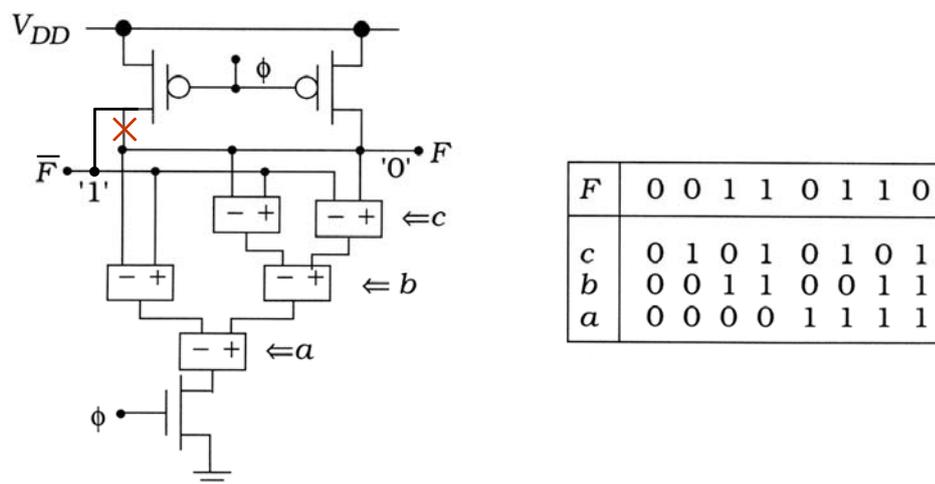


Figure 9.31 Dynamic CVSL circuit with 3-level logic tree



9.6.2 互补传输管逻辑 (CPL)：一种双轨技术

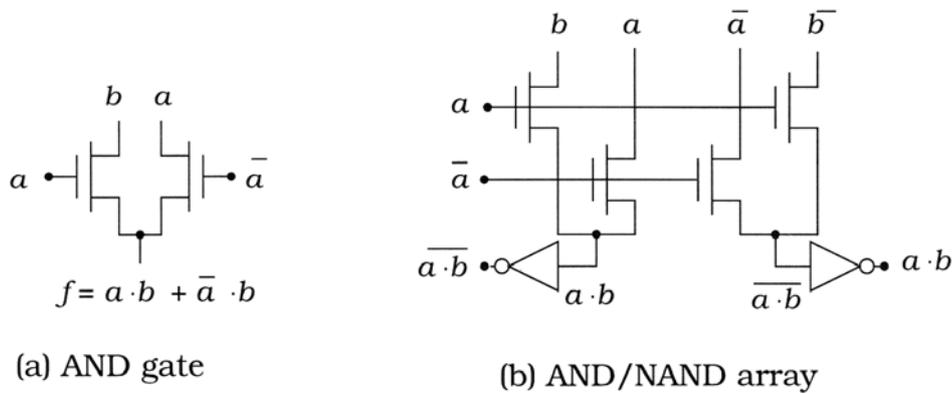


Figure 9.32 CPL AND/NAND circuit



例1：相同的拓扑连接构成不同的逻辑门

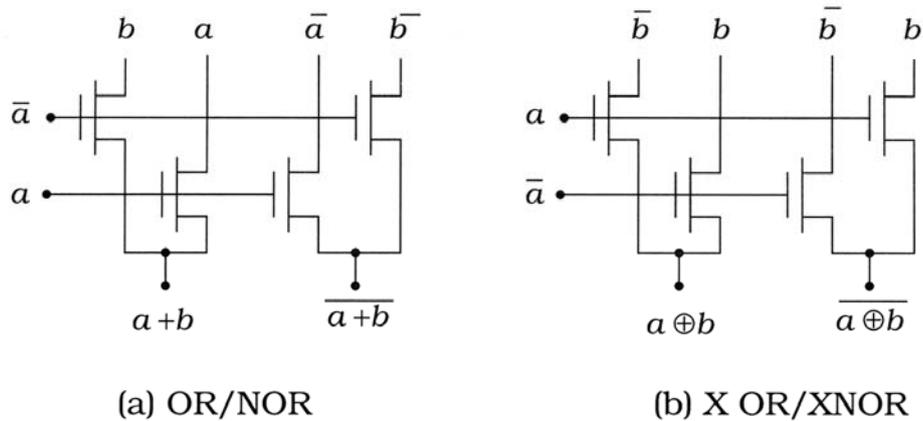
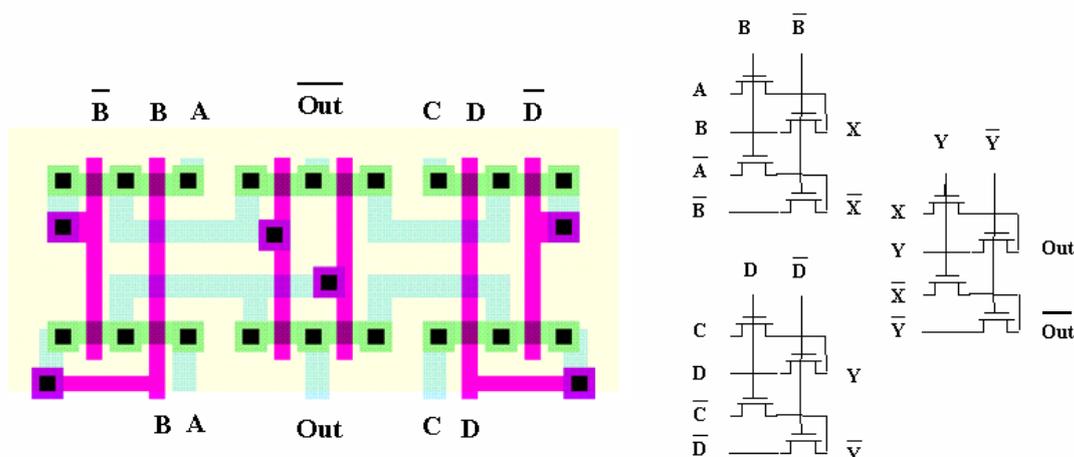


Figure 9.33 2-input CPL arrays

优点：单元版图可以复用

缺点：阈值电压损失

例2：四输入AND/NAND的版图和电路图



注意：这一电路必须采用零阈值传输管

如何选择合适的电路系列

1 静态CMOS逻辑

大多数CMOS电路的最佳选择。静态功耗小，噪声容限大，速度较快，有高度自动化综合工具。

2 准nMOS逻辑

消除了PMOS逻辑，高扇入的逻辑函数（特别是NOR门）用准nMOS逻辑实现效率高。静态功耗需要认真考虑。

3 多米诺逻辑

在高速应用中常选用的技术，是实现高性能（高速）微处理器的一种选择。动态功耗大，噪声容限小，时钟设计要求高。

4 传输管逻辑

学术界提倡使用的电路，最有应用前景的传输管电路是CPL。