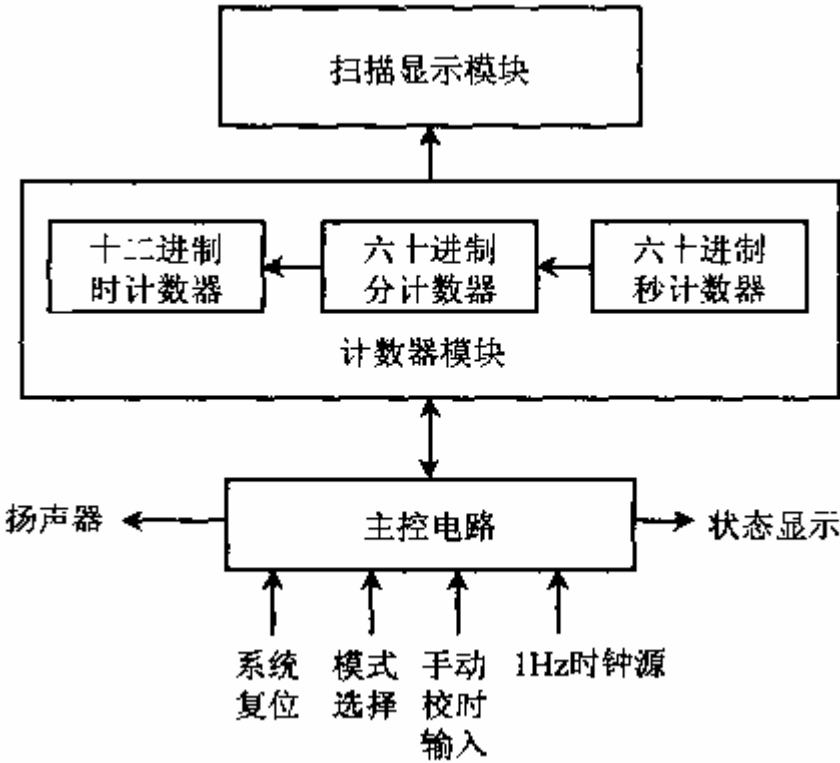


教材： 《VHDL 硬件描述语言与数字逻辑电路设计》侯伯亨 顾新 西安电子科技大学
参考书： 《EDA 与数字系统设计》李国丽等 机械工业出版社

一、多功能数字钟的设计

1、数字系统设计问题

设计一个能进行时、分、秒计时的 12h 制或 24h 制的数字钟，并具有定时与闹钟功能，能在设定的时间发出闹铃音，能非常方便地对时、分和秒进行手动调节，以校准时间，每逢整点，产生报时音报时。其系统框图如图 1-1 所示。



1-1 数字钟的系统框图

2、设计提示

此设计问题可分为主控电路、计数器模块和扫描显示三大部分，其中计数器部分的设计是已经非常熟悉的问题，只要掌握六十进制、十二进制的计数规律，用同步计数或异步计数都可以实现，扫描显示模块也已经介绍过，所以主控电路中各种特殊功能的实现是这个设计问题的关键。

用两个电平信号 A、B 进行模式选择，其中，AB=00 为模式 0，系统为计时状态；AB=01 为模式 1，系统为手动校时状态；AB=10 为模式 2，系统为闹钟设置状态。

设置一个 turn 信号，当 turn=0 时，表示在手动校对时，选择调整分部分；当 turn=1 时，表示在手动校对时，选择调整时部分。

设置一个 change 信号，在手动校时或闹钟设置模式下，每按一次，计数器加 1。

设置一个 reset 信号，当 reset=0 时，整个系统复位；当 reset=1 时，系统进行计时或其他特殊功能操作。

设置一个关闭闹钟信号 reset1，当 reset1=0 时，关闭闹铃信号；reset1=1 可对闹铃进行设置。

设置状态显示信号(发光二极管)：LD_alert 指示是否设置了闹铃功能；LD_h 指示当前调整的是时信号；LD_m 指示当前调整的是分信号。

当闹铃功能设置后(LD_ater=1, 系统应启动一个比较电路, 当计时与预设闹铃时间相等时, 启动闹铃声, 直到关闭闹铃信号有效。

整点报时由分和秒计时同时为 0 (或 60)启动, 与闹铃声共用一个扬声器驱动信号 out。

系统计时时钟为 clk=1Hz, 选择另一个时钟 clk_1k=1024Hz 作为产生闹铃声、报时音的时钟信号。

主控电路状态表如表 1_1 所示。

其硬件系统示意图如图 1_2 所示。

表 1_1 数字钟主控电路状态表

reset	reset1	模式		选择	秒、分、时计数器脉冲	输出状态			备注
		A	B			LD_h	LD_m	LD_alert	
0	x	x	x	x	x	0	0	0	系统复位
1	x	0	0	x	clk	0	0	0	系统计时
1	x	0	1	0	change=↑ 分计数器加 1	0	1	0	手动校时
1	x	0	1	1	change=↑ 时计数器加 1	1	0	0	
1	1	1	0	0	change=↑ 分计数器加 1	0	1	1	设置闹钟
1	1	1	0	1	change=↑ 时计数器加 1	1	0	1	
1	0	x	x	x	x	0	0	0	关闭闹钟

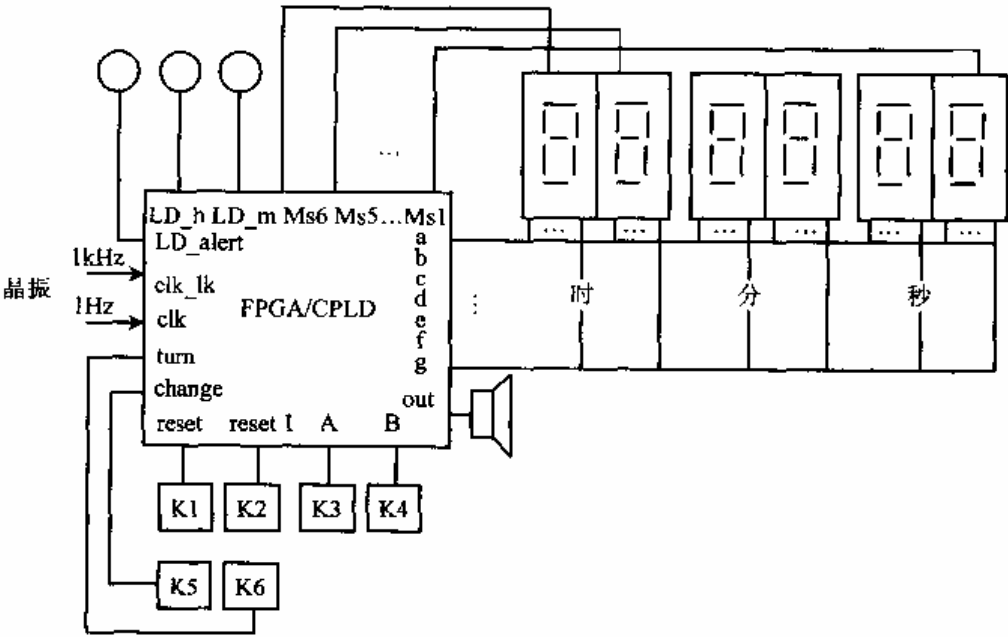


图 1_2 数字钟硬件系统示意图