

实验 18 光栅位移测试系统

参考 VHDL 实用教程 301 页

控中，目前流行的测试系统中存在的不可靠因素将影响这一技术的深入应用。其原因主要是仅使用了单片机以及一些定时计数器件作为测量主件。由于单纯的单片机系统极易受到外界干扰，特别在强干扰环境中表现得尤为明显。如果利用类似于专用芯片的 CPLD 器件，就能有效地克服这一缺陷。以下将介绍利用光栅进行位移测量的测量原理和测量电路的设计方法。

14.2.1 光栅测量原理简介

当两块光栅以微小交角相对倾斜重叠时，在光栅刻痕的垂直上方可见到明暗交替的所谓莫尔条纹。任一块光栅沿垂直于刻线方向移动时，莫尔条纹就沿垂直于交角平分线的方向移动。因此可以通过测量莫尔条纹的运动，即对莫尔条纹计数来测量光栅的位移量。在光栅的移动中可以将两光栅条纹的明暗变化变成两路相位相差 90° 的方波信号输出，通过记录此两路方波信号的上下沿个数来测量实际的位移变化，并由此两路信号的瞬时相位变化测出位移的方向（动光栅相对于定光栅的移动方向）。

14.2.2 传感器接口电路设计

设光栅传感器输出的两路相位差 90° 的方波信号分别为 A 和 B，如图 14-6 所示，A、B

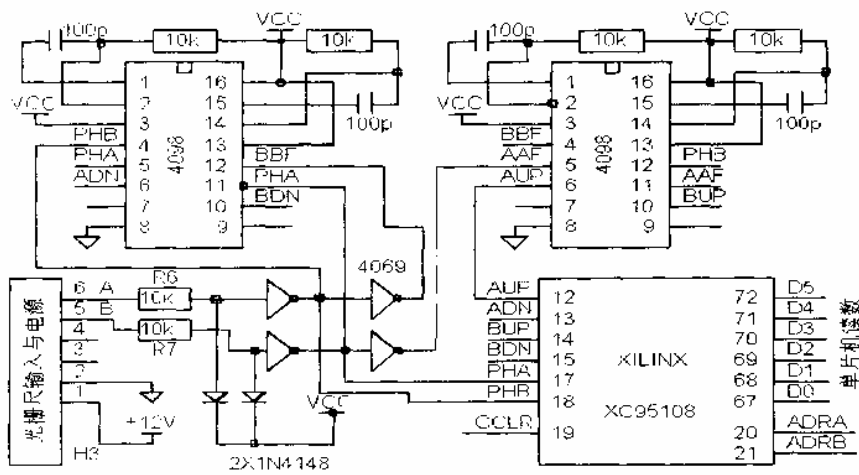


图 14-6 光栅测试仪接口原理图

两路信号分别通过 R6、R7 输入测试系统。由于光栅传感器工作电路在此使用的是 12V 工作电源，进入测试系统后由 D1 和 D2 钳位至 5V。4069 起到反相和波形整形的作用，两片 4098 分别将两路信号的上下沿检出并形成 4 路窄脉冲 AND、AUP、BDN 和 BUP，它们分别为 A、B 路的下降沿和上升沿脉冲，再加上反相了的 A、B 路初始信号就可用于位移计数和位移方向判别了。

14.2.3 测试系统 VHDL 设计

测试主系统的全部逻辑设计于一块 Xilinx 公司的 XC95108PC84 中, 其逻辑图示于图 14-7, 图中 AND、AUP、BDN、BUP 的信号逻辑构成位移量计数脉冲 (CLK), 它们与 PHA、PHB 信号通过如图 14-7 所示的逻辑形成位移方向信号 UPDN, 高电平为正向移动, 低电平为反向移动。DNTR 为 18 位二进制受控加减计数器。加减取向由 UPDN 电平决定, 高电平作加法计数, 低电平作减法计数, CNTR 的 A、B 为 3 个 6 位计数值选通输出控制码, 这个选通控制, 可在读出计数值过程中由单片机控制。以下是此专用测试模块的 VHDL 描述

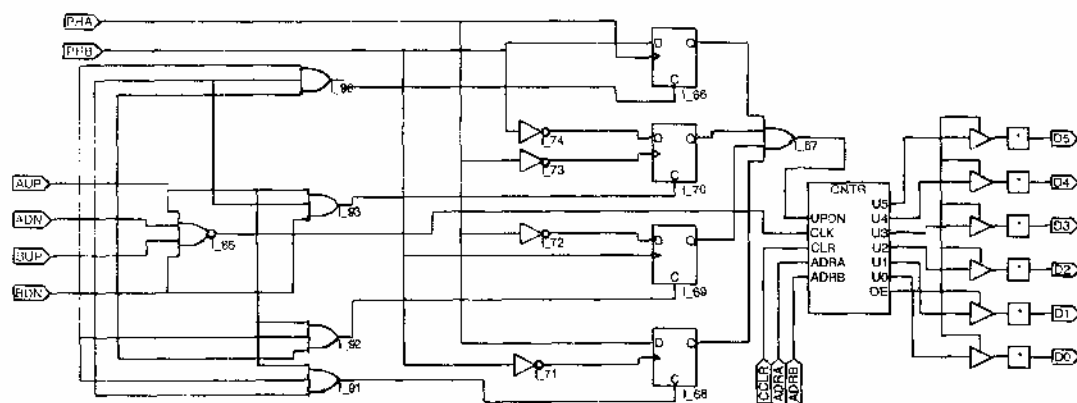


图 14-7 光栅测量系统逻辑图

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY CNTR IS
    PORT ( CLK, CLR, UPDN, ADRA, ADRB : IN STD_LOGIC;
          U : OUT STD_LOGIC_VECTOR(5 DOWNT0 0);
          OE : OUT STD_LOGIC );
END CNTR;
ARCHITECTURE behav OF CNTR IS
    SIGNAL Q : STD_LOGIC_VECTOR(17 DOWNT0 0);
    SIGNAL ADDR : STD_LOGIC_VECTOR(1 DOWNT0 0);
BEGIN
    ADDR(0) <= ADRA;  ADDR(1) <= ADRB;
    PROCESS(CLK, CLR)
    BEGIN

```