

# 第六章： 新型半导体器件

§ 6.1 现代MOS器件

§ 6.2 CCD器件

§ 6.3 存储器件

§ 6.4 纳米器件

§ 6.5 功率器件

§ 6.6 微波器件

§ 6.7 光电子器件

§ 6.8 量子器件

## § 6.1 现代MOS器件

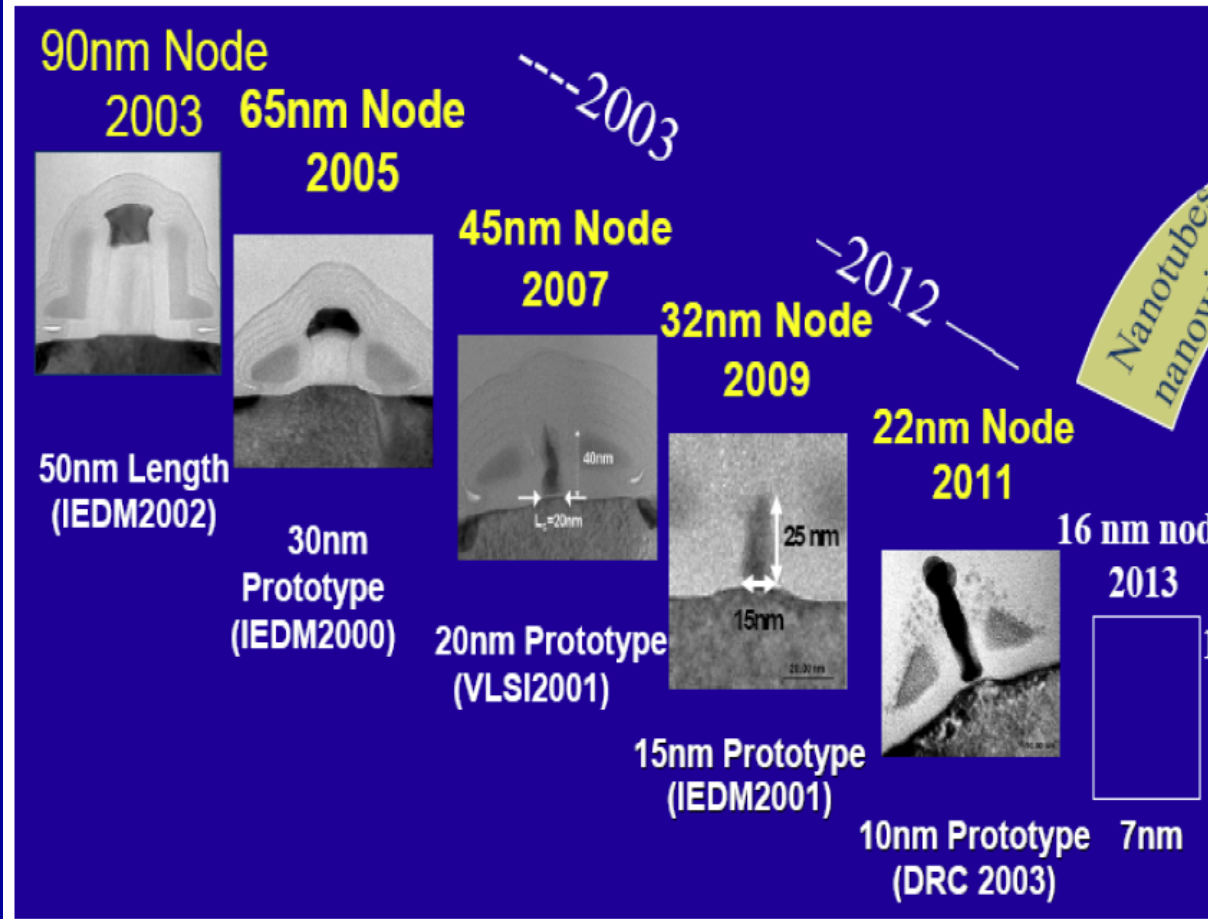
- 微电子超大规模集成电路发展的两个主要方向：深亚微米与纳米集成和系统芯片集成。
- 因此需要对深亚微米和亚0.1微米工艺、器件和电路技术，器件的结构和相应的物理机理的研究。微小MOSFET中的一些物理效应，如器件尺寸变小，通常的一维器件模型需要修正，出现二维、三维效应，同时还会出现各种强电场效应。

# 一、MOSFET的按比例缩小

- 近20年来，恒压按比例缩小规则的使用比较成功，但随着工艺的发展，器件性能和集成密度进一步提高，目前逐渐逼近其基本的物理极限。
- 如果要进一步提高集成电路的性能，则需要考虑更多的因素，而不仅仅是简单的按比例缩小器件尺寸。需要同时在降低电源电压、提高器件性能和提高器件可靠性等三个方面之间进行折衷选择。
- 金属栅和高 $K$ 栅介质的应用

## •按比例缩小 (Scaling down) 的规则

不断缩小器件特征尺寸，是半导体集成电路技术发展的基本规律

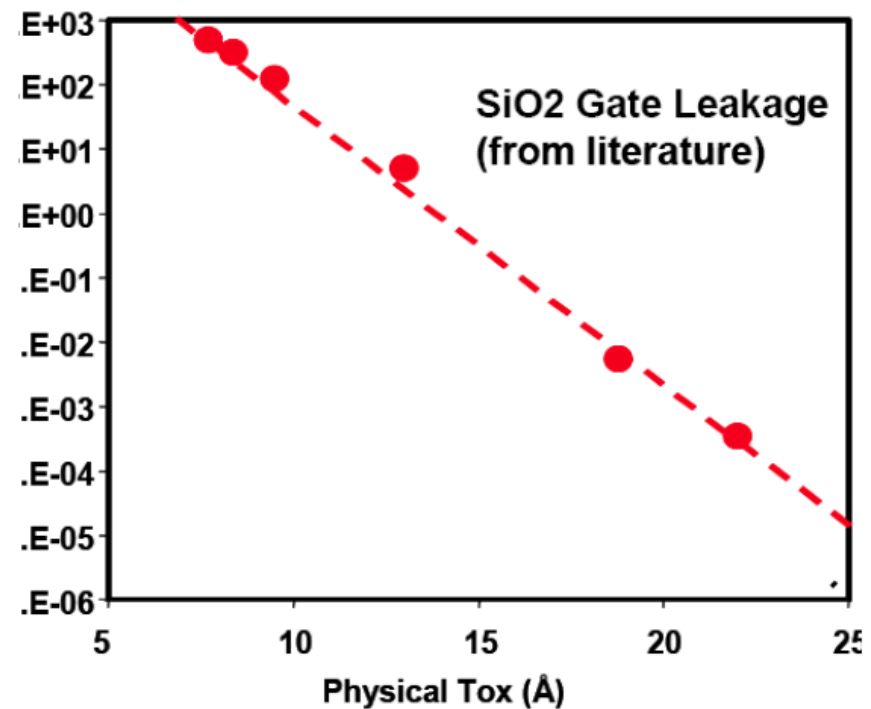
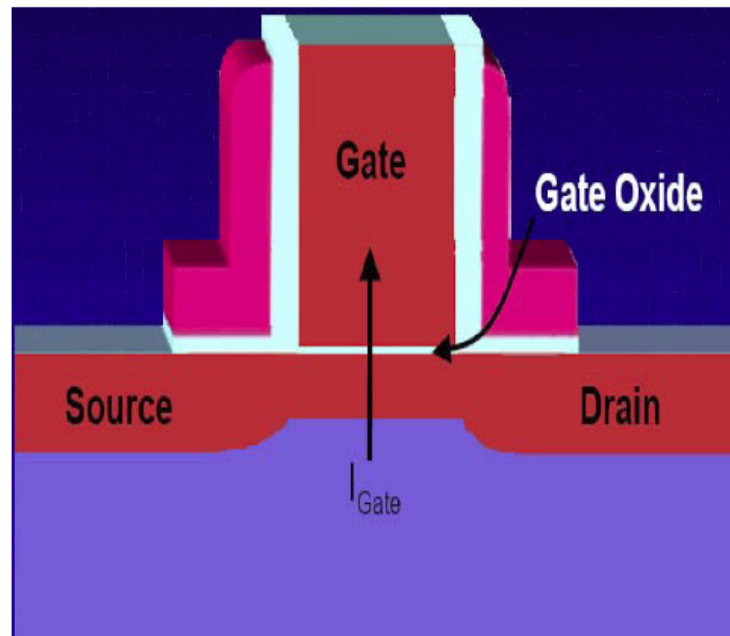


为维持好的器件特征，保证栅对沟道载流子分布的有效控制，MOS器件特征尺寸在缩小过程中，各结构参数需要遵循一定的规律，即按比例缩小规则。

- 实验结果表明，在进行折衷的过程中，源、漏结的参数，尤其是结深、 $R_{SD}$ 和结的突变性是至关重要的因素。尽管这种经验方法不是很理想，而且难以符合基于基本物理规律的按比例缩小规则，但是这种经验方法更准确、更实用一些。这是由于当器件横向尺寸的变化使器件的纵、横向以及其他各方向上的参数错综复杂地相互作用时，器件的三维特性越加突出；同时由于基本物理极限的限制，对亚 $0.1\mu\text{m}$ 器件的进一步缩小变得非常困难，这主要包括超薄栅氧化层的制作；源、漏超浅结的形成以及小尺寸器件必须在很低的电源电压下工作所带来的问题等。截至目前为止，器件和ULSI CMOS工艺发展的实际情况是器件的各个部分都在缩小。

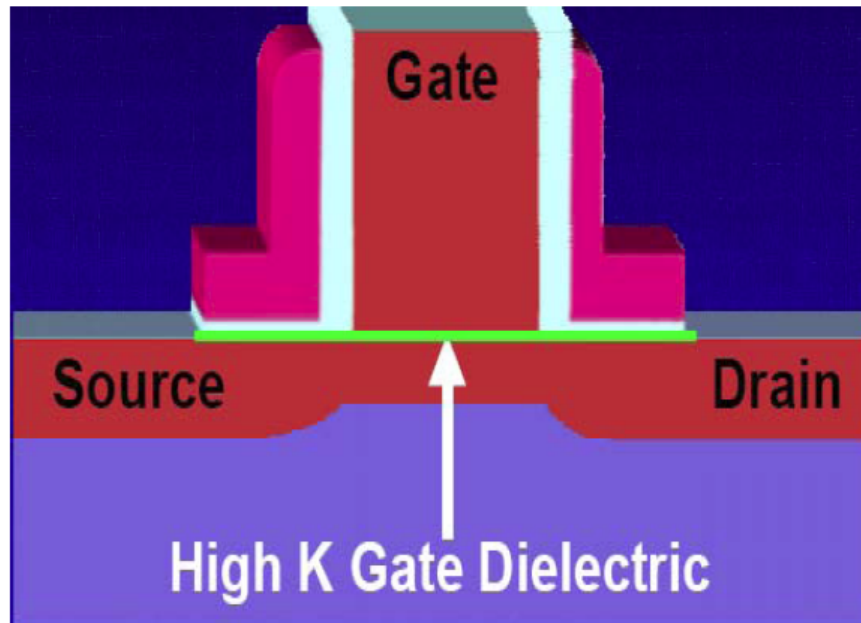
- 栅氧化层厚度缩小的物理限制

随器件特征尺寸的缩小，沟道长度、栅氧化层厚度、源漏与沟道结深尺度需要按比例缩小 ( $L \propto T_{ox} X_j^{1/3}$ )。当栅氧化层厚度缩小到**2nm**以下时，量子直接隧穿效应将变得非常显著。



- 高K栅介质和金属栅电极的需求

利用高K栅介质替代 $\text{SiO}_2$ 作为栅介质层材料，由于在维持相同等效氧化层厚度的情形下，可使用厚的介质层厚度，从而显著减小量子直接隧穿效应引起的栅泄漏电流。



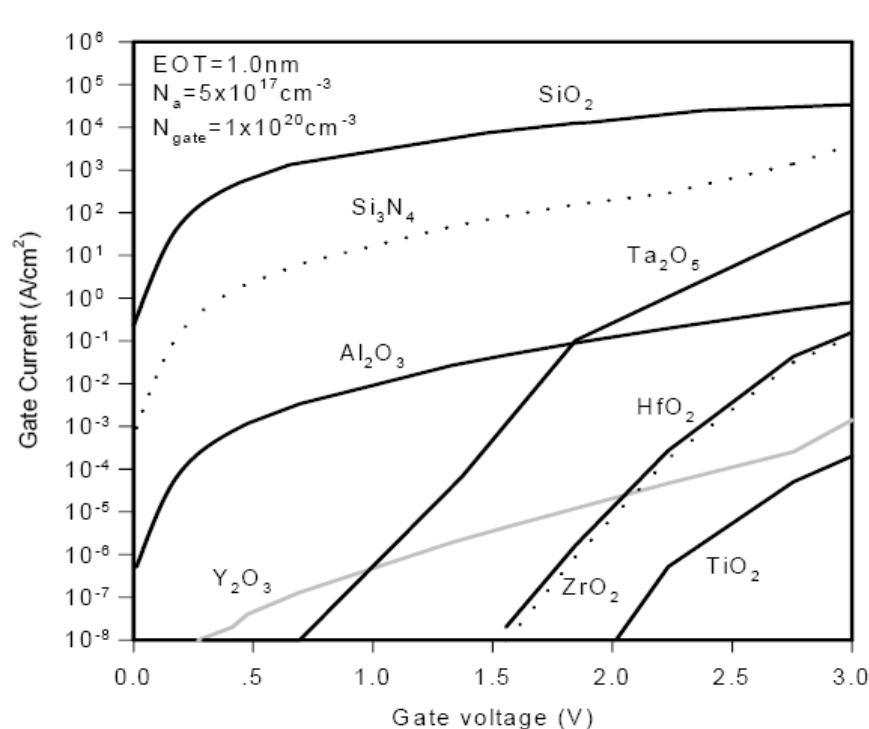
等效氧化层厚度（**Equivalent Oxide Thickness, EOT**）是指厚度为 $t_{ph}$ 介电常数为 $\epsilon_{Hi}$ 的介质材料等效为 $\text{SiO}_2$ 对应的厚度：

$$C = \frac{\epsilon_{\text{SiO}_2}}{t_{ox}} = \frac{\epsilon_{Hi}}{t_{ph}}$$

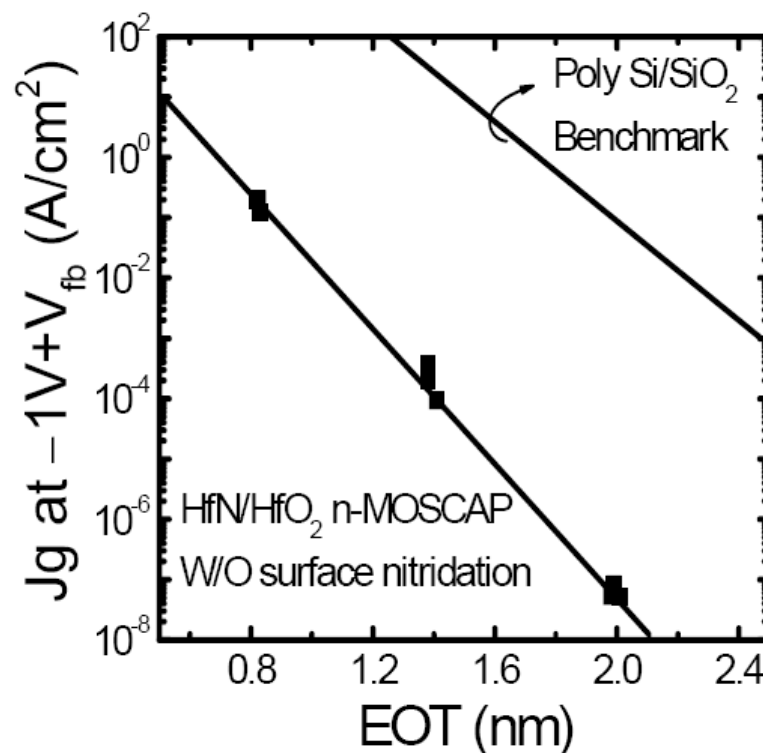
$$EOT = t_{ox} = \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{Hi}} t_{ph}$$



理论计算和实验结果均证实与SiO<sub>2</sub>栅介质相比，采用高K栅介质后，在相同的EOT下，栅泄漏电流可显著减小



各种高K介质材料及SiO<sub>2</sub>栅泄漏电流的理论计算结果



实验测量的高K栅介质与SiO<sub>2</sub>栅泄漏电流比较



由于Si/SiO<sub>2</sub>良好的界面特性以及SiO<sub>2</sub>薄膜的优异性能，纯硅基MOS器件具有优异的界面性能和热稳定性，并且致密的SiO<sub>2</sub>薄膜能够阻止更多的氧气和水分子进入栅介质层。另外，多晶硅与衬底硅的功函数差值较小，有利于降低器件的阈值电压，提高器件开关速度。

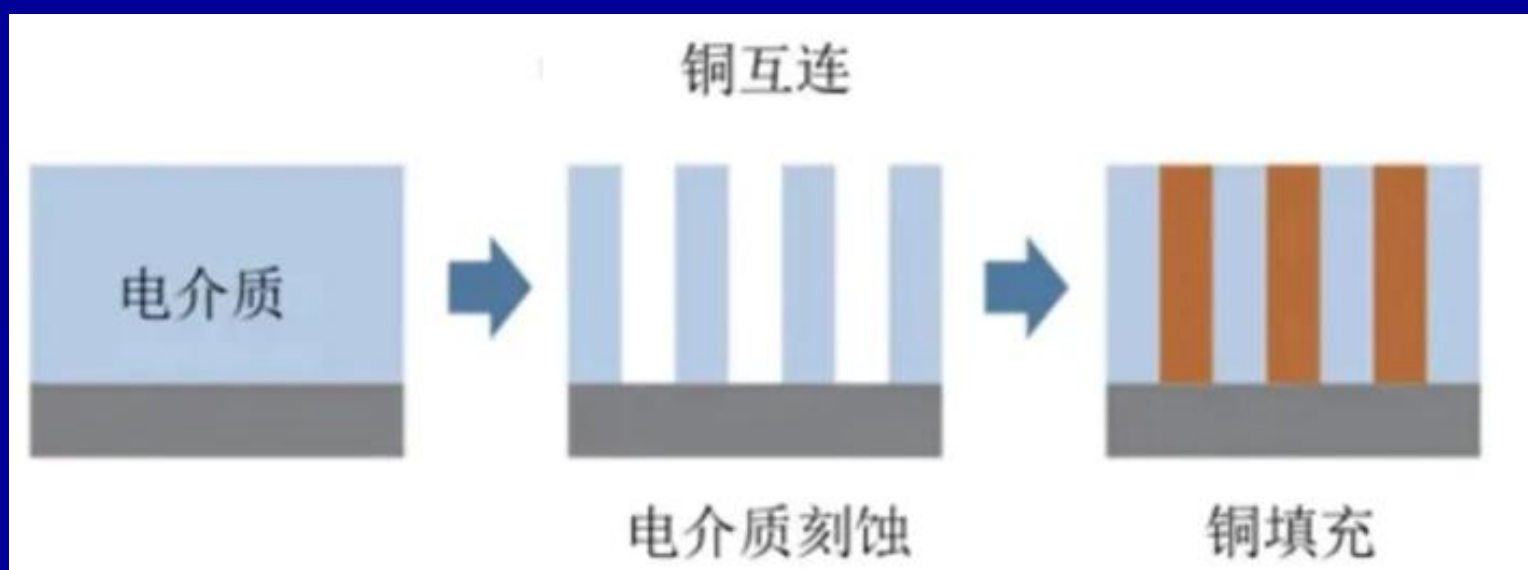
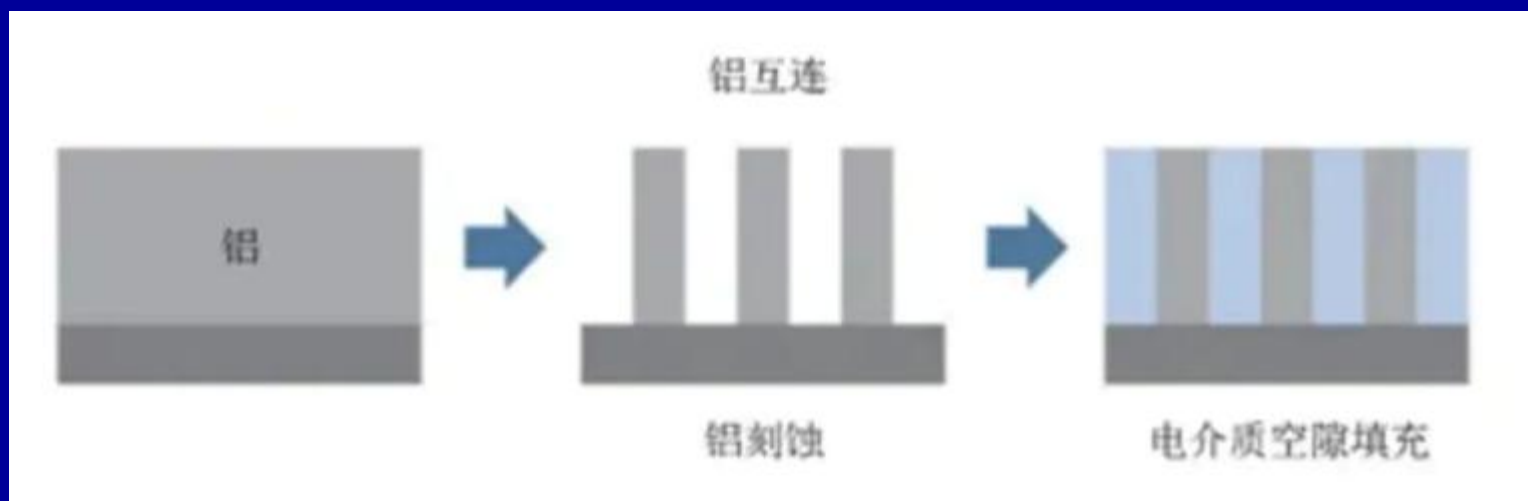
然而，当特征长度降低至65nm节点时，就会出现短沟道效应，显著增大器件的功耗。为控制短沟道效应，更小尺寸器件要求进一步提高栅极电容，这通过不断减小栅氧化层厚度实现，但随之而来的是栅电极漏电流的增加。当SiO<sub>2</sub>作为栅电极绝缘层的厚度低于5nm时，漏电流变得无法忍受。

解决上述问题的方法就是使用高介电常数绝缘材料取代SiO<sub>2</sub>，采用高k介质材料可以在不增加电学厚度的前提下允许增加绝缘层厚度，从而能够降低漏电流。

经过反复实验，基于铪Hf的high-k绝缘材料取代SiO<sub>2</sub>作为栅电极的绝缘层，在一定程度上缓解SiO<sub>2</sub>厚度减小引起的隧穿效应，进而减小泄漏电流，降低器件功耗。然而，当特征长度降至45nm时，多晶硅/高k基MOS器件出现严重的多晶硅耗尽效应。多晶硅的高电阻率也严重影响了MOS器件的高频特性。

在早期的高介电常数材料研究中就已经发现了高k介质与多晶硅栅电极不匹配的问题。这一问题不仅会导致在高介电材料与多晶硅材料的界面上产生大量的缺陷，还会降低器件的电子迁移率。后一问题是由于电荷散射而引起的，这也是将这两种材料结合在一起的固有表现。因此金属栅代替多晶硅栅，被用于纳米晶体管和先进晶体管结构。

金属栅极是为了和高k栅介质材料兼容提出的，一方面金属作为良好导体，不会产生耗尽层，有效消除了多晶硅耗尽效应，同时也使金属栅极无需通过掺杂提高导电性。另一方面，与多晶硅相比，金属栅极材料自由电子浓度远大于反型层载流子浓度，使得金属栅极能有效抑制高k介质低能光学声子与沟道载流子耦合，从而降低声子散射，提高载流子迁移率。



集成电路最初用铝作为导体， $\text{SiO}_2$ 作为绝缘体（电介质）构建一个互连层将多个器件连接在一起。整个互连过程是由铝沉积在晶圆表面开始，随后通过选择性刻蚀形成布线图案，沉积氧化物绝缘体，并利用化学机械平坦化CMP工艺将粗糙表面变得平坦。

20世纪80年代后期，随着器件特征尺寸继续缩小，越来越薄的铝线无法实现所需的速度和电性能，因此需要一种性能更优的导电材料，以适应继续缩小的器件尺寸，同时保持芯片制造商预期的成本效益。多年来，半导体行业的发展大致遵循摩尔定律。然而由于铝互连的电性能局限性，芯片的微缩将无法继续进行，业内人士便开始寻找可替代材料。首先想到的是铜，它具有更低的电阻率，可实现更快的器件速度，此外铜不像铝那样容易发生电迁移，具有更高的可靠性。使用等离子工艺刻蚀铜的方法并不可行。由于铜不容易形成挥发性化合物，因此通过干法刻蚀并不能轻松将其从晶片表面去除。因此，亟需一种合适的新导体，或截然不同的图形化工艺，或两种的结合。

## 二、现代MOS器件的一些物理效应

- 短沟道效应 (SCE)

微小尺寸效应，狭义的定义，是指随沟道缩短，阈值电压减小（n沟）或增大（p沟）的效应（ $V_T$  roll off）。

$V_T$  roll off现象包括 $V_{DS}$ 很低时测定 $V_T$ 随 $L_g$ 变化和 $V_{DS}$ 很高时 $V_T$ 随 $L_g$ 的变化。

## • DIBL效应与器件穿通

DIBL即漏电压感应源势垒下降效应，是器件二维效应与强电场效应结合的结果。当漏结加较大的电压时，结电场向源区发展，因为沟道很窄，使漏结电场与源结相耦合，当 $V_{DS}$ 高到一定程度，漏的结电场就会影响源pn结的势垒，使之降低，这便是DIBL效应。一个明显结果是使 $V_T$ 降低，因为源势垒下降，就可用较低栅压使器件开启。

因为在一定的 $V_{DS}$ 下， $L_g$ 越小DIBL导致的越大，因此DIBL也产生 $V_T$  roll off，而且 $V_{DS}$ 越高， $V_T$  roll off效应越显著。同时DIBL效应会影响MOSFET的亚阈值特性，包括使 $S$ 和 $I_{off}$ 退化。因此在深亚微米与亚0.1微米的设计中要避免或抑制DIBL效应。

# 热载流子注入 (Injection of Hot Carrier)

- 热载流子退化

在短沟道下，如果电压较大，横向（沟道方向）和纵向（垂直沟道方向）的电场强度会大大增强。在强电场作用下，载流子能量大大提高，使其平均能量远大于 $kT$ ，或等效载流子温度 $T_e$ 超过环境（晶格）温度 $T$ ，这时载流子称为热载流子。

## 热载流子效应

热载流子注入引起MOSFET器件性能退化的效应



## 幸运电子 (Lucky-electron) 模型

在Si中距离Si-SiO<sub>2</sub>界面距离为d处导带电子发射进入SiO<sub>2</sub>的概率可表示为:  $P(d) = A \exp(-d / \lambda)$

其中 $\lambda$ 为热电子能量损失的有效平均自由程

发射相关的有效势垒为:  $qV(d) = \phi_{ox} - \Delta\phi - \alpha\Sigma_{ox}^{2/3}$

$$\Delta\phi = \sqrt{\frac{q^3 E_{ox}}{4\pi E_{ox}}} \quad \text{镜像力感应的势垒降低}$$

有效平均自由程的温度  
依赖关系可表示为:

$$\lambda(T) = \lambda_0 \tanh(E_R / 2kT)$$

- 栅感应漏极漏电 (GIDL)

当增强型器件处于关态 ( $V_{GS}=0$ ) 时, 在漏与栅交叠处的栅氧化层中存在很强的电场 ( $>3 \times 10^6 \text{V/cm}$ ), 对于N型MOSFET, 此电场方向由漏指向栅, 漏极半导体内部电势远高于界面处电势, 即在漏极 (交叠部分) 靠近界面区的能带发生强烈的向上弯曲, 乃至表面反型为p型。因为杂质浓度大, 该反型层下的耗尽区极窄, 使之导带电子可以直接隧道穿透到反型层的价带区, 与衬底流过来的空穴复合。因此, 电子由漏极流入, 空穴由衬底流入, 形成了漏结的漏电流, 这就是GIDL。

GIDL效应和漏区上的栅 $\text{SiO}_2$ 层质量密切相关, 因此它随工艺条件而改变。GIDL是关态电流 $I_{off}$ 的主要组成, 必须被限制在额定 $I_{off}$ 值之内, 这也是栅氧化层厚度下限的一个根源。实验证明, 对于优质的栅 $\text{SiO}_2$ 层, 厚度到1.5nm仍将是安全的。

- 迁移率的强电场效应和漂移速度饱和  
迁移率的电场效应对于提高深亚微米和 $0.1\mu\text{m}$  ULSI MOSFET的电流驱动能力，以至对决定其工作速度有决定性意义，因此在器件结构设计中如何保持尽可能高的迁移率是一个关键课题。同时因为漂移速度会饱和，因此光靠高电场来提高电流驱动能力是有限的。

- 漂移速度过冲

速度过冲是非稳态统计过程的产物，要以非稳态玻尔兹曼方程求解，或用蒙特卡罗方法来处理。在能量平衡之前的弛豫时间内漂移速度超过饱和值，即速度过冲。漂移速度过冲现象在GaAs等高迁移率半导体中为实验所普遍证实。通常的MOSFET模型建立在漂移扩散模型（DD模型 Drift-Diffusion Model）的基础上，基本方程是泊松方程、电流连续方程和稳态玻尔兹曼方程。在深亚微米时期，器件二维模型，联解泊松方程、连续性方程和瞬态玻尔兹曼方程，进行数值分析，但计算量很大，并不可取。因此引入水力学模型，使用能量输运方程、载流子输运方程和电流连续方程加以联解，目前已被许多二维数值分析程序采用。

- 二维量子化

深亚微米器件的沟道掺杂浓度高达 $3 \times 10^{17} \text{cm}^{-3}$ 以上，栅氧化层低达 $1.5 \sim 5 \text{nm}$ ，在 $1 \sim$ 几伏电压下，即可使表面反型层的电场强度很强，表面能带强烈弯曲，使载流子被局域在很窄的沟道势阱内，这种局域化导致垂直于界面方向载流子运动的量子化，使传导载流子成为只能在平行界面方向运动的二维电子气。二维量子化使能量呈阶梯型的子带，使电子波函数呈调制的二维平面波，同时也会影响载流子迁移率等参数。所以，对深亚微米、亚 $0.1 \mu\text{m}$  MOS ULSI器件必须考虑量子力学（QM）效应。

- 沟道杂质起伏

对于沟长度在 $0.1\mu\text{m}$ 量级的MOSFET，沟道中的电离杂质可以小到只有几十个原子，因此杂质原子含量的统计起伏可导致对器件性能的明显影响，这种起伏无论在一个圆片内的各芯片之间或各圆片之间都不可避免，因此会造成产品的一致性问题，对于ULSI的可生产性必须考虑这种效应。杂质起伏主要反映在器件阈值电压的起伏上。

## § 6.2 CCD器件

- CCD电荷耦合器件工作原理

利用栅极下半导体表面形成深耗尽状态进行工作的  
基本结构

二相、三相、四相系统，取决于电性能、制造难度以及单元尺寸的考虑

- CMOS成像传感器工作原理

基本结构包括电荷电压转换器和PN结电荷收集器，还包含一个由MOS管构成的开关，需要6个或更多的晶体管。

使用CMOS工艺技术制造的

- CCD与CMOS成像传感器的对比

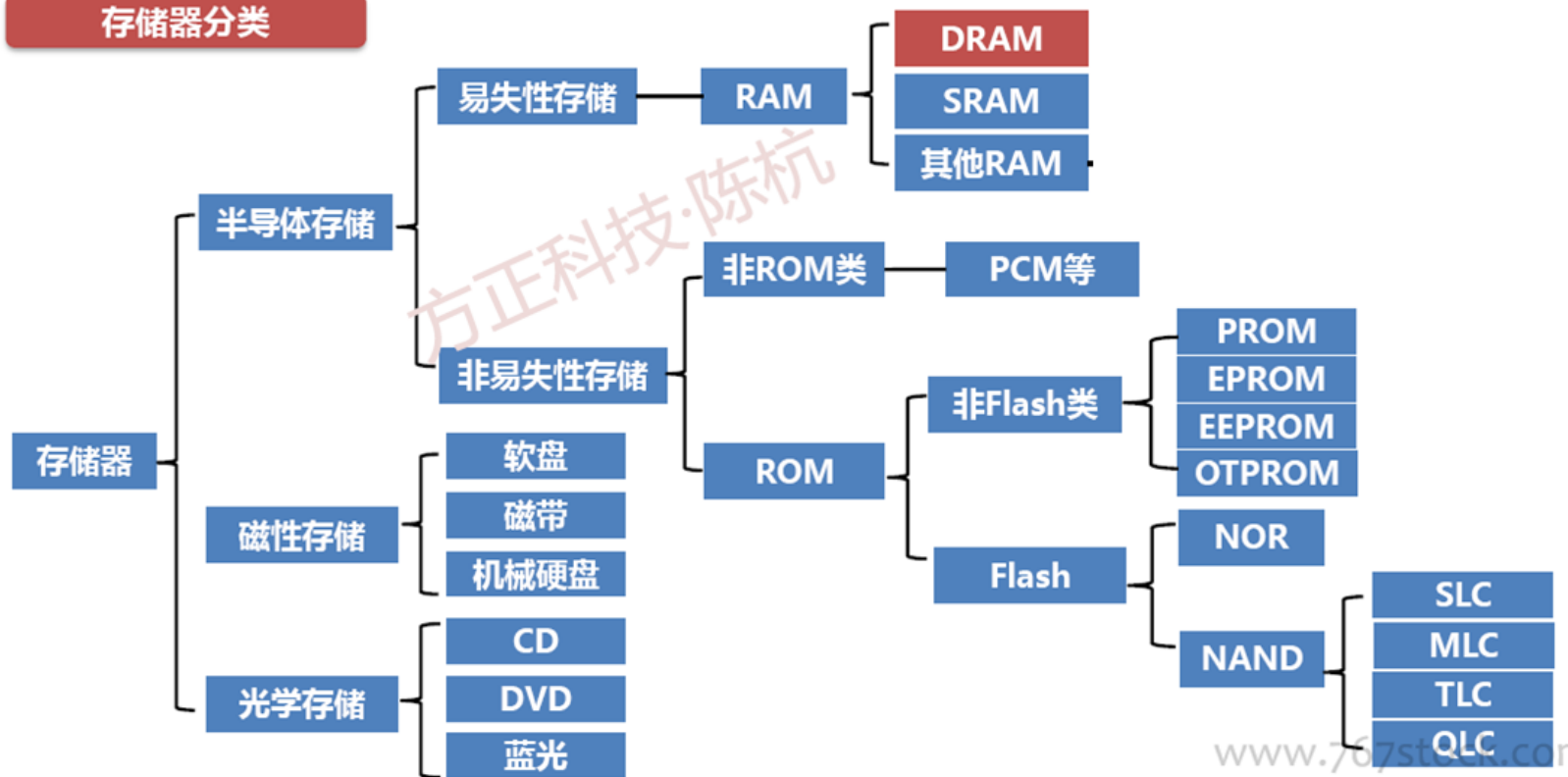


## § 6.3 存储器件

- 主要类型
  - 静态存储器SRAM
  - 动态存储器DRAM
  - 非易失性存储器NVM
- 结构
- 特点
- 对比

- 半导体存储从应用上可划分为易失性存储器（RAM，包括DRAM和SRAM等），以及非易失性存储器（ROM和非ROM）。

### 存储器分类



存储器分为易失性volatile memory和非易失性non-volatile memory两大类。易失性存储器最重要的两类是SRAM和DRAM。非易失性存储器种类很多，市场份额最大的是闪存FLASH，其他还有SONOS、铁电存储器FRAM、相变存储器PRAM（phase-dependent resistance changes）、磁存储器MRAM（magneto-resistance changes）、阻变存储器RRAM（interface or bulk resistance changes）等。SRAM、DRAM、FLASH、SONOS和FRAM都是基于电荷的存储器charge-based programming&reading，本质上是通过电容的充放电来实现。而PRAM、MRAM和RRAM则是基于电阻的转变来实现的current-based programming&reading。

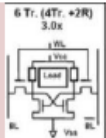
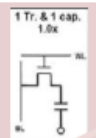
存储器已经发明了50多年。1967年，第一个64位只读存储器由仙童公司发明。闪存也是这一年由Bell实验室提出。Intel在存储器发展的早期做出了很多贡献，比如第一个SRAM和第一个EEPROM都是由该公司推出。闪存之所以在20世纪90年代才大规模应用，是因为直到1988年，Intel和东芝才分别提出了NOR和NAND两种类型的闪存集成架构。

## 存储器的发展简史

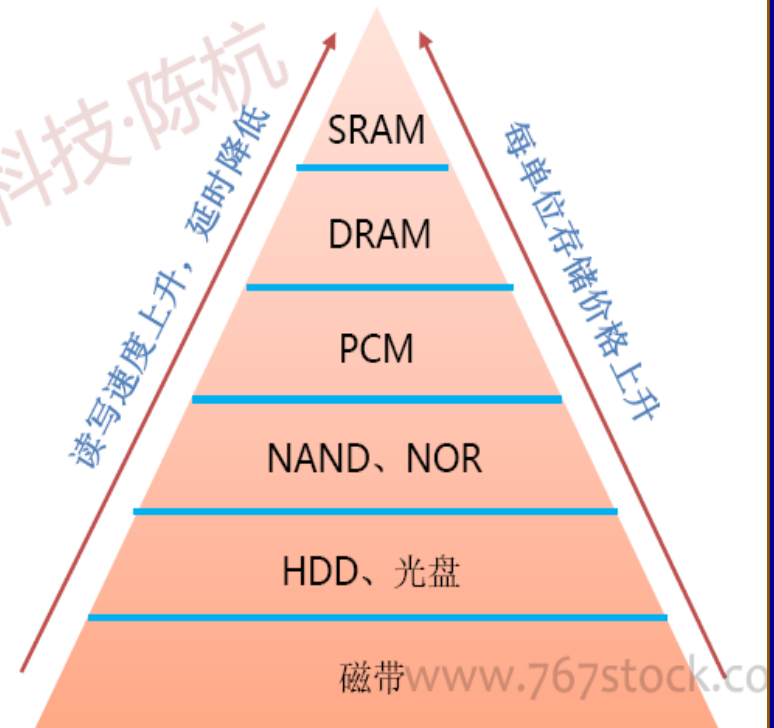
- 1967年, 第一个64位只读存储器: Fairchild;  
Bell实验室Kahng和Sze提出首个浮栅概念MIMIS器件原型;  
Sperry公司Wegener提出首个电荷俘获概念MNOS器件原型;
- 1969年, 第一个Schottky双极64K位SRAM(3010): Intel.
- 1970年, 第一个DRAM(1103): Intel;
- 1971年, 第一个EPROM(1702): Intel  
第一块4位4004微处理器: Intel, 108KHz, 2300个晶体管;
- 1972年, 第一个1Kb SRAM (2102): Intel;
- 1979年, 第一块EEPROM: Intel;
- 1982年, 第一块具有存储器管理功能的80286微处理器: Intel;
- 1984年, Masuoka等首次提出快闪存储器;
- 1988年, Intel和Toshiba分别推出NOR型及NAND型快闪存储器;
- 1994年, Sumi报道首个基于BST的256K位FeRAM;
- 1995年, Motorola (Freescale) initiates work on MRAM development.
- 2000's, MRAM和PRAM技术得到广泛关注和快速发展;

- 动态随机存储器（**DRAM**）和静态随机存储器（**SRAM**）同属于易失性存储器，在断电状态下数据会丢失。两者因结构不同，其应用场景有很大的不同。
- **DRAM**利用电容储存电荷多少来存储数据，需要定时刷新电路克服电容漏电问题，读写速度比SRAM慢，常用于容量大的主存储器，如计算机、智能手机、服务器内存等。
- **SRAM**读写速度快，制造成本高，常用于对容量要求较小的高速缓冲存储器，如CPU一级、二级缓存等。

### DRAM和SRAM对比

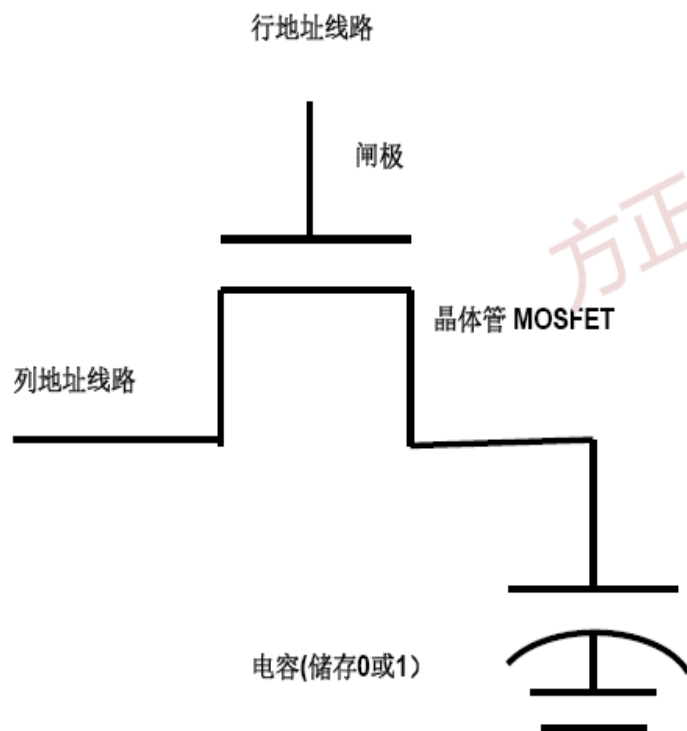
	DRAM	SRAM
晶圆结构图		
速度	较慢	较快
容量	大	小
单成本	便宜	贵
用例	主内存	1级和2级微处理器缓存
密度	每个单元的密度低	每个单元密度更密集
功率	高	低

### 各级存储器性能和价格变化趋势

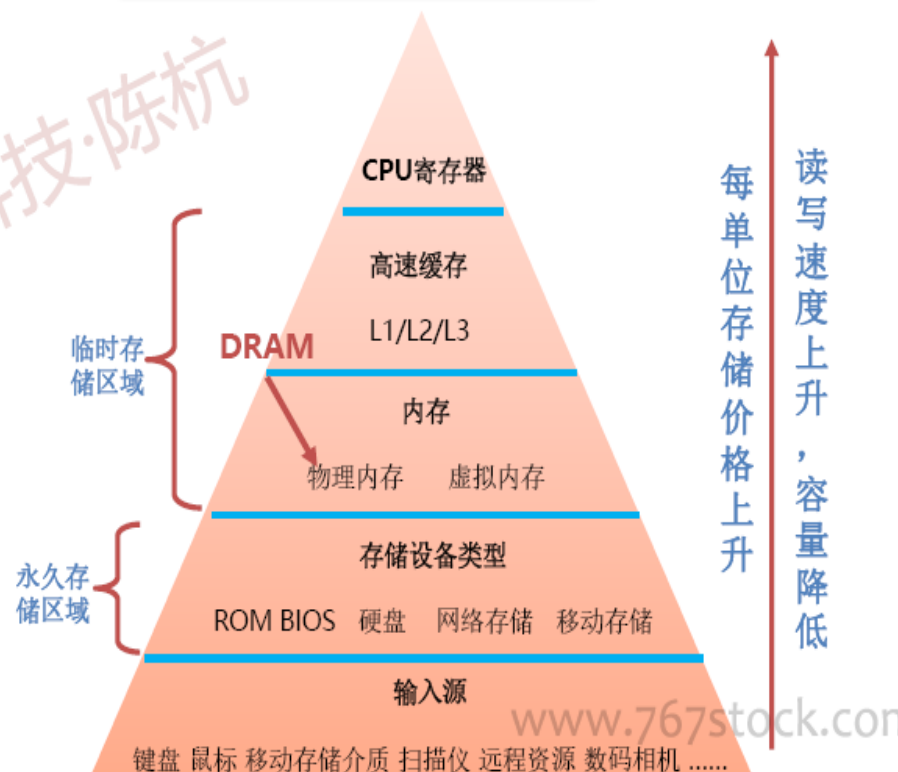


- **DRAM**由许多重复的“单元”——位元格（Bit Cell）组成，每一个cell由一个电容和一个晶体管（一般是N沟道MOSFET——控制电容充放电的开关）构成，电容可储存1bit数据量，充放电后电荷的多少（电势高低）分别对应二进制数据0和1。晶体管MOSFET则是控制电容充放电的开关。DRAM结构简单，可以做到面积很小，存储容量很大。
- **DRAM具有刷新特性**。由于电容存在漏电现象，因此必须经常进行充电保持电势（刷新），这个刷新的操作一直要持续到数据改变或者断电。

### DRAM基本晶体管结构



### DRAM属于临时存储区域





- 多个位元格 (Bit Cell) 组成矩阵结构, 形成内存库, 数个内存库形成 **DRAM** 存储芯片。内存库中, 多个字元线与位元线交叉, 每个交点均存在一个位元格处理信息。字元线改变电压影响相应的位元格, 位元格将电流传至各自的位元线, 由感测放大器侦测并放大电压变化。
- **DRAM** 的核心是利用 **0** 和 **1** 存储数据。感测放大器会将小幅增加的电压放大成高电压 (代表逻辑1), 把小幅降低的电压放大成零电压 (代表逻辑0), 并将各个逻辑数值储存至一个多门结构。

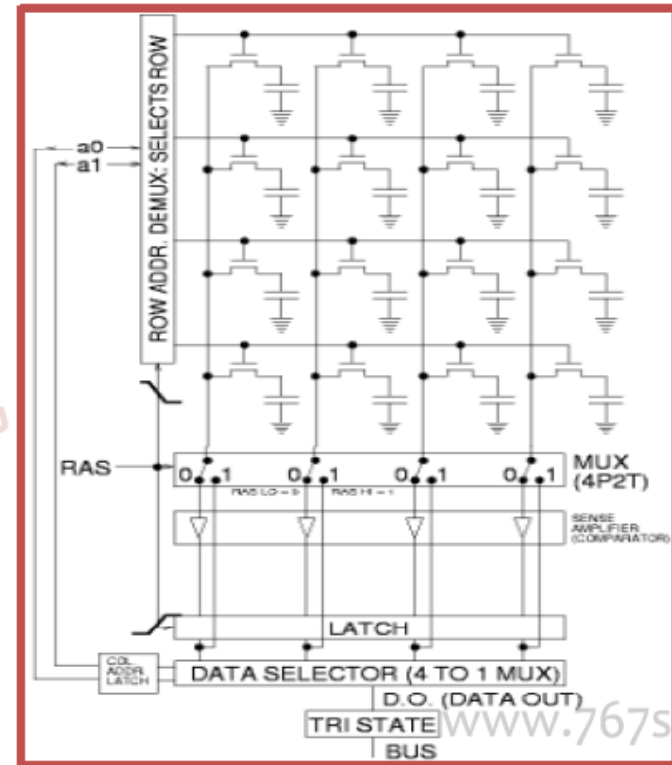
### DRAM模组



DRAM  
CHIPS



### 位元格形成矩阵结构

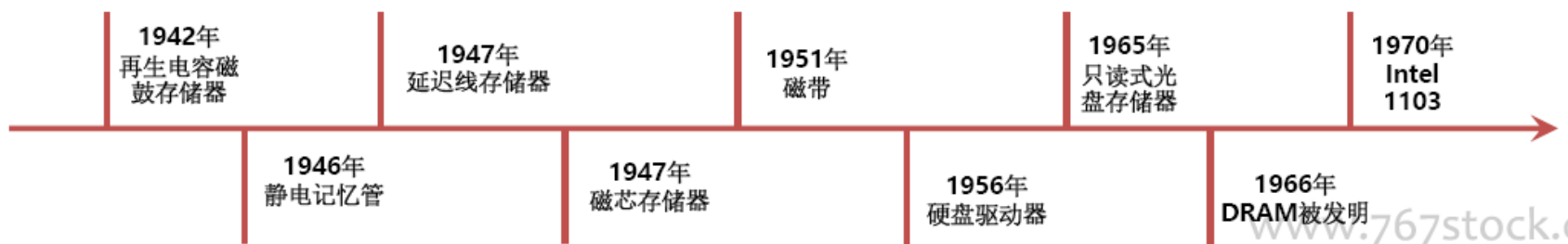




# DRAM历史与发展

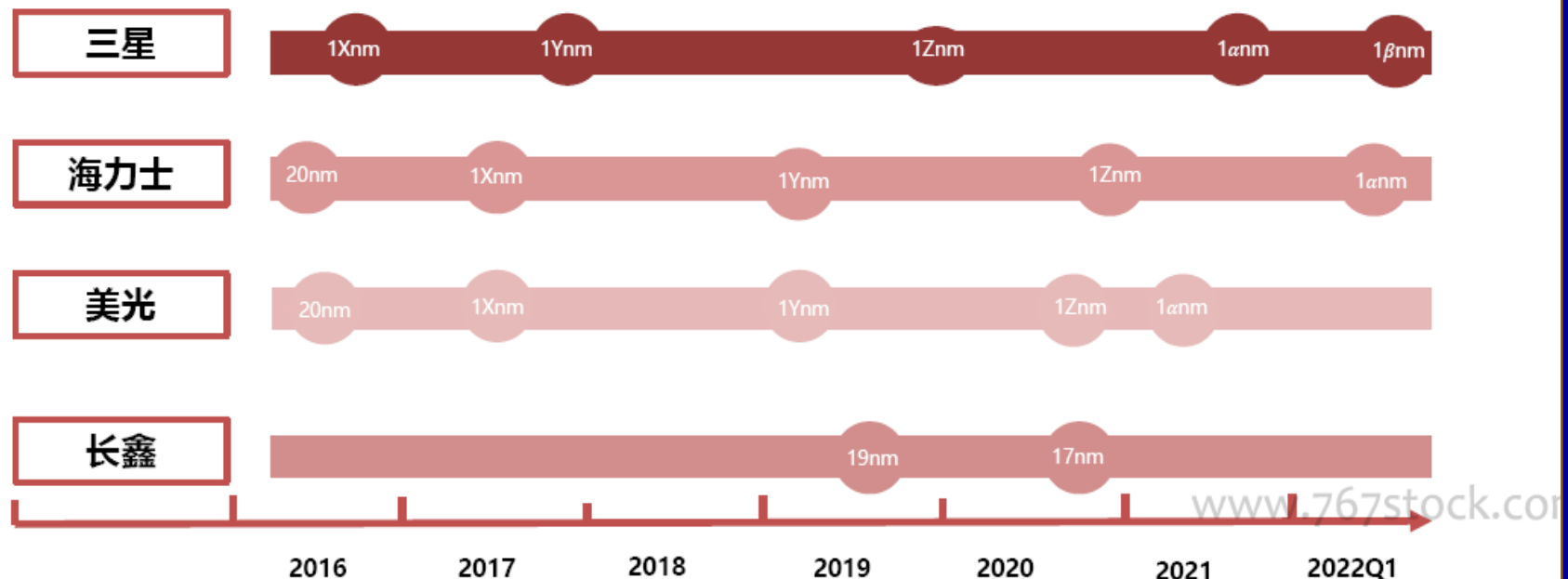
- 1942年，世界上第一台电子数字计算机ATANASOFF-BERRY COMPUTER (ABC) 诞生，使用再生电容磁鼓存储器存储数据。
- 1946年，随机存取存储器 (RAM) 问世，静电记忆管能在真空管内使用静电荷存储大约4000字节数据。
- 1947年，延迟线存储器被用于改良雷达声波。延迟线存储器是一种可以重刷新的存储器，仅能顺序存取。同年磁芯存储器诞生，这是随机存取存储器 (RAM) 的早期版本。
- 1951年，磁带首次被用于计算机上存储数据，在UNIVAC计算机上作为主要的I/O设备，称为UNIVACO，这就是商用计算机史上的第一台磁带机。
- 1956年，世界上第一个硬盘驱动器出现在了IBM的RAMAC 305计算机中，标志着磁盘存储时代的开始。该计算机是第一台提供随机存取数据的计算机，同时还使用了磁鼓和磁芯存储器。
- 1965年，美国物理学家Russell发明了只读式光盘存储器 (CD-ROM)，1966年提交了专利申请。1982年，索尼和飞利浦公司发布了世界上第一部商用CD音频播放器CDP-101，光盘开始普及。
- **1966年，DRAM被发明。**IBM Thomas J. Watson 研究中心的Robert H. Dennard发明了动态随机存取存储器 (DRAM)，并于1968年申请了专利。
- **1970年，Intel公司推出第一款商用DRAM芯片Intel 1103**，彻底颠覆了磁存储技术。DRAM的出现解决了磁芯存储器体积庞大，运行速度慢，存储密度低及能耗较高等问题。

## 早期DRAM发展途径



- 当前处于10nm阶段，1Znm为最新量产技术。全球前三大厂商——三星、海力士、美光在2016年-2017年进入1Xnm (16nm-19nm) 阶段，2018-2019年为1Ynm (14nm-16nm)，2020年至今正处于1Znm (12-14nm) 时代。
- 10nm进入第四阶段，1a(1 $\alpha$ )nm工艺即将到来。在10nm领域，第4代产品已经提上日程，三星、海力士使用字母a、b、c作为1Znm技术的延续，美光则选择 $\alpha$ 、 $\beta$ 、 $\gamma$ 来命名。
- 三星领先，美光、海力士紧随其后。三星已于2020年上半年完成首批1anm制程DRAM的出货，美光、海力士目前还未达到量产阶段。目前我国DRAM行业最先进的长鑫正处于1Xnm阶段，落后约4年时间。

### 三巨头及长鑫工艺尺寸发展历程



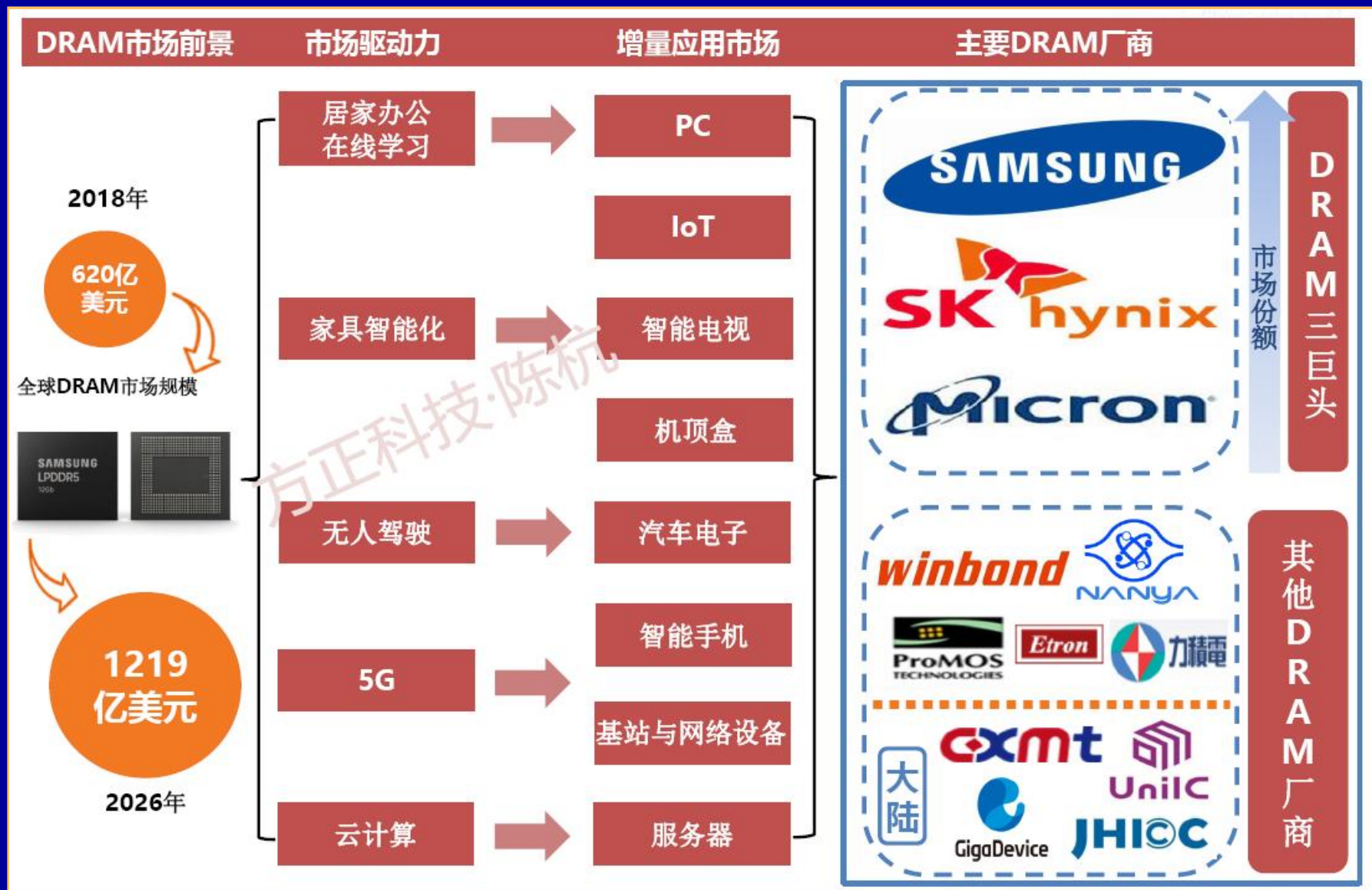
- **工艺升级速度减缓，尺寸工艺减小进程遇阻。** DRAM领域的bit growth从1994年至今始终处于下滑趋势，增速从70%（1994年-2003）降低至20%（2017年以后），主要是因为当工艺尺寸减小时，DRAM的良率无法得到控制。
- **DUV即将达到极限，EUV是下一代光刻技术。** 目前DRAM领域最为成熟的光刻技术是193nmDUV光刻机，其最大极限在大约10nm，目前DUV技术的精确度已经接近极限。**下一代13.5nmEUV光刻机是DRAM工艺节点实现10nm以下突破的关键**，EUV可以通过减少光罩次数来进一步压低成本并提高产能。但ASML的EUV一年产能仅十几台，难以满足当前需求。
- **三巨头仅三星已进行EUV技术试生产阶段**，于2020年已出货首批用EUV进行制造的1Xnm级别DRAM。海力士及美光紧随其后，皆在2020年初发布对于EUV技术生产的计划。**目前EUV经济效益低于DUV，但随着DRAM工艺技术不断进步，EUV必将是抢占未来市场的关键所在。**

1994-2014年位元成长率估计



ASML EUV 光刻机

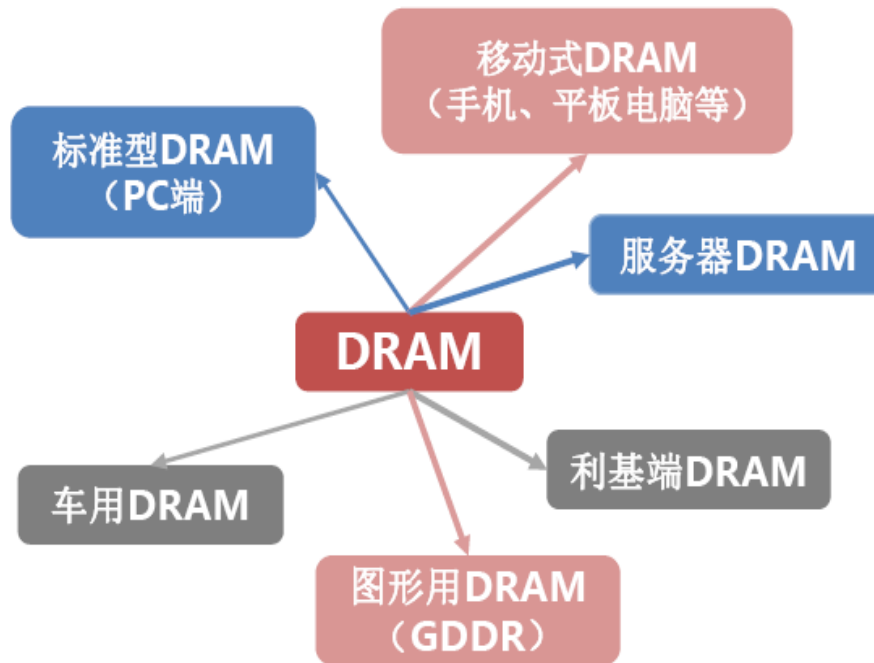




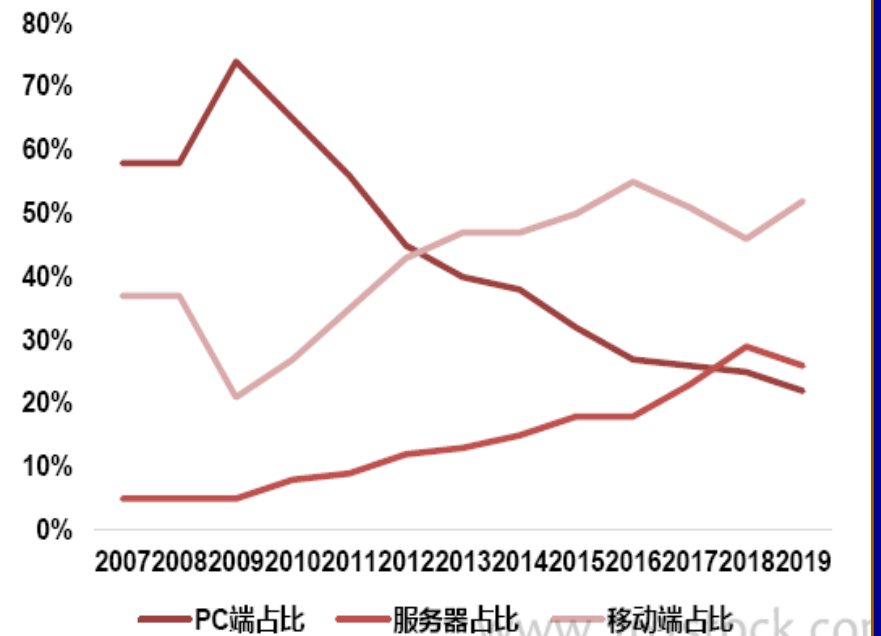


- **PC端、移动端、服务器端为DRAM主要需求来源。** PC端占比12.6%，移动端占比37.6%，服务器占比34.9%，三者占总需求近90%。**PC端进入存量替代市场，出货稳定；移动端和服务器端DRAM需求旺盛。**
- **5G热潮推动移动DRAM和服务器DRAM需求上升。** 5G智能手机带来的出货增长以及5G时代对于物联网、云服务、商用服务器/数据中心的强劲增长，拉动了DRAM需求。
- **车用DRAM是未来的新增量。** 汽车正在朝着自动驾驶的方向演进，而DRAM是不可缺少的基础，随着未来自动驾驶技术的普及和渗透，汽车将成为DRAM的新战场。

### DRAM的主要需求来源

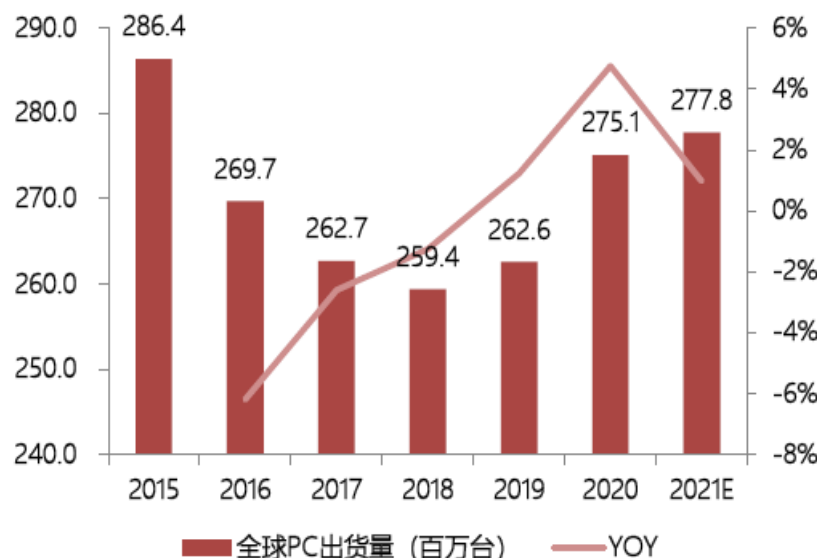


### 三大主要需求端出货量对比



- **PC市场目前已进入存量替换阶段。**随着智能手机及配套生态的持续发展，个人电脑（台式电脑及笔记本电脑）的出货量自2011年起就呈现缓慢下降趋势，至2019年才实现正增长。**2020年新冠疫情导致在线教育与远程办公需求激增，带来了4.8%的增长**，目前由于海外疫情形势依旧严峻，居家办公学习所带来的笔记本电脑的强劲需求将至少维持到2021年上半年。
- **市场规模稳定，标准型DRAM出货占比减小。**每年个人电脑的出货量保持在2.5亿台至3亿台左右，而随着移动端以及服务器端的DRAM放量，2019年标准型DRAM在整个市场的占比约为20%左右，但其重要性仍不可忽视。
- **DDR4为目前主流产品，DDR5即将面世。**2020年10月海力士宣布推出全球首款DDR5产品，计划在2022年实现量产。目前主要支持DDR5的平台为Intel的12代酷睿Alder Lake以及AMD的Zen4架构EPYC，**预计DDR5对DDR4芯片的替代可能要在2023年下半年才实现。**

全球PC出货量统计

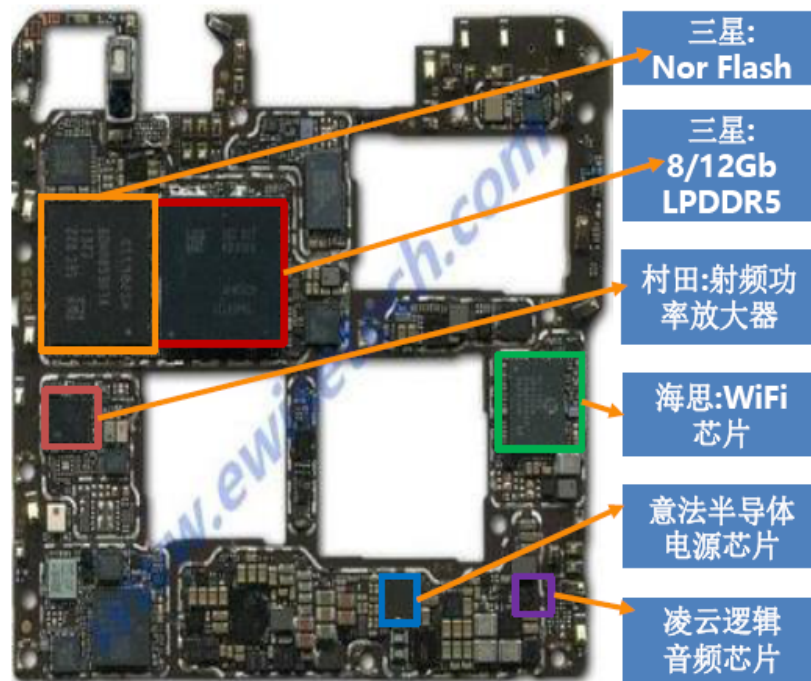


标准型DDR参数对比

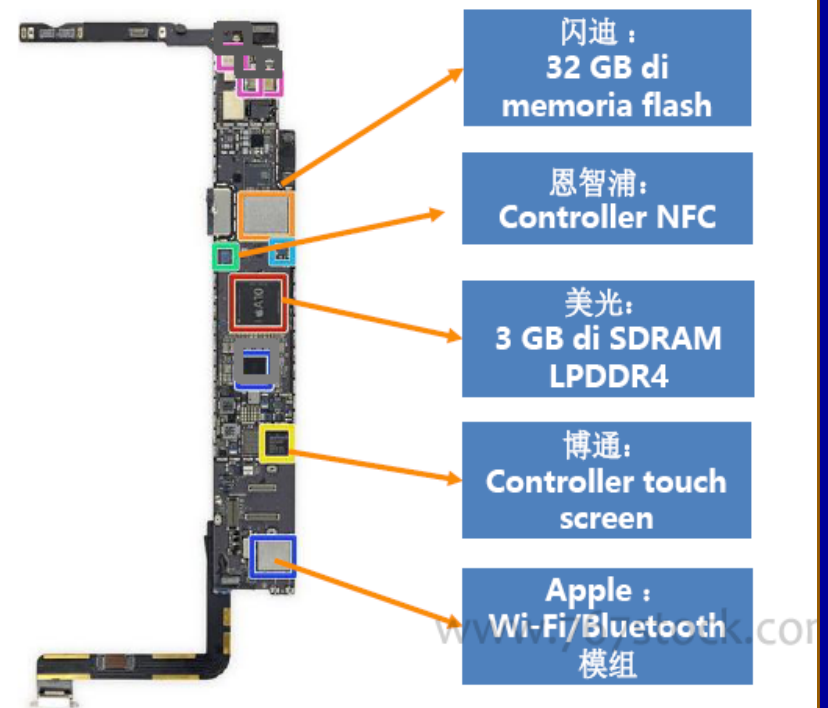
型号	DDR	DDR2	DDR3	DDR4	DDR5
上市年代	2002	2004	2007	2014	2022
电压 (V)	2.5	1.8	1.5	1.2	1.1
存储速度 (MT/S)	266	400	1066	2133	4800~6400
内存密度 (Gb)	1	4	8	16	32

- LPDDR相比常规DDR体积更小，牺牲少量性能同时大幅削减能耗。多用于手机、平板电脑、智能手表等移动端设备，以及汽车ADAS及智能驾驶系统等场景。移动端受产品体积与重量限制，电池容量设计有限，因此移动端DRAM需要同时平衡功耗与性能。据美光官方信息，LPDDR5相较LPDDR4功耗下降20%，使手机续航时间延长约10%。
- 移动端DRAM容量及反应速度不断升级已成定势。智能手机随更新换代往往需要搭载并同时运行更多软件。智能手机需要满足游戏娱乐、高清视频播放等多种高性能需求。主流厂商手机内存容量一般为4/6/8Gb，部分高端机型容量可达10/12Gb。

### 华为Mate40 Pro 拆解



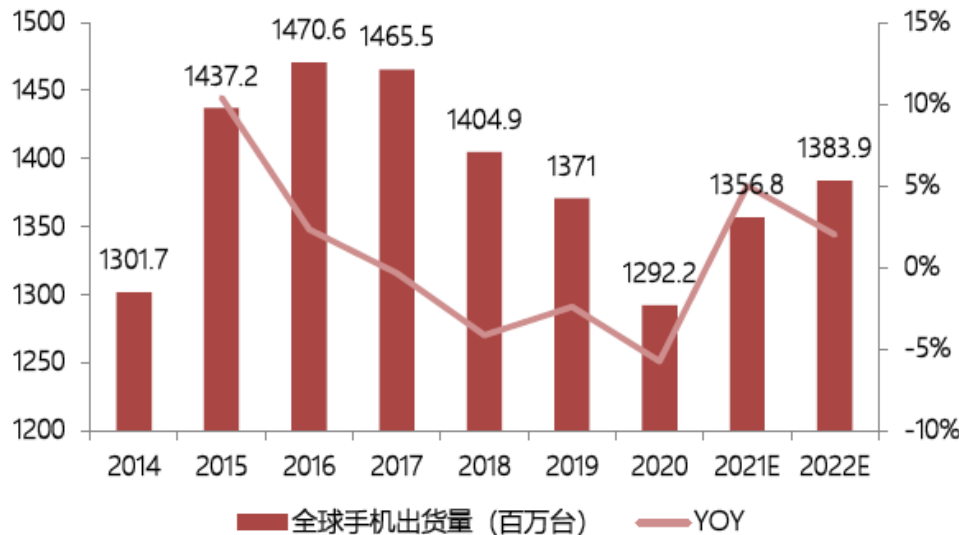
### 苹果 iPad6 拆解



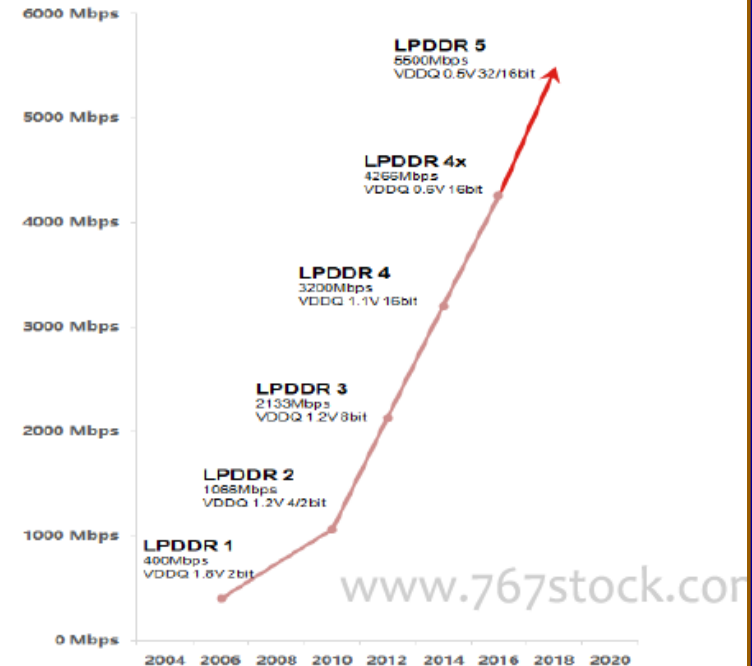


- **手机和平板电脑是移动端DRAM最重要的市场。**移动端DRAM自2012年超过PC端以来始终是DRAM最大市场，目前占DRAM总出货量40%左右。根据IDC数据显示，2020年手机出货量约13亿台，平板电脑约为1.6亿台，两者为移动端DRAM的主要市场。
- **LPDDR3、LPDDR4为主流，最高级别为LPDDR5。**LPDDR3现在被运用在中低端的智能机上，是最大的市场，但随着中低端手机出货慢慢减弱，**LPDDR4成为主流**。自2020年2月多个搭载LPDDR5的品牌旗舰机发布以来，LPDDR5已经成为最先进5G手机的标准配置，但由于成本高，还无法成为主流配置。
- **容量增长趋缓，主要增量来自中低端。**高端手机内存多为8G-16G，配置略有过剩，除非有新的功能或者技术出现进一步带动DRAM容量的增长。**移动端DRAM容量增长短期内主要来自于中低端机。**

全球手机出货量统计

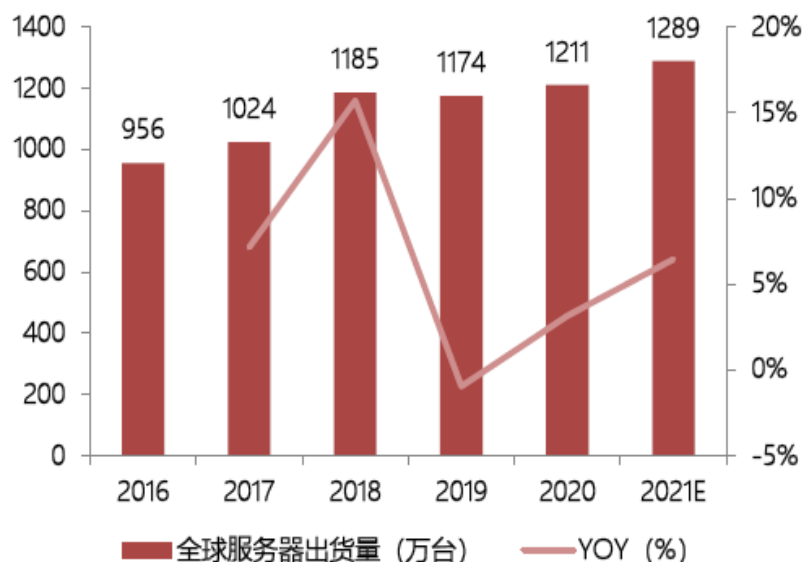


小米手机DRAM升级历程



- **服务器出货量平稳上升。**服务器市场自2016年以来始终保持景气，2020年服务器出货量同比上升3.9%。2021年5G商用在即，未来云计算、IDC的发展都需要海量数据存储，我们认为服务器未来无论从系统出货量，还是单系统DRAM容量提升都具有长期的成长驱动力。
- **高算力需求将推动内存通道数量及满插率共同提升。**当前大多数服务器尚未实现内存模组满插，未来云服务对于高算力等需求增长有望带动单机内存通道数量及内存模组满插率提升。
- **内存接口芯片技术演进目前处于DDR4到DDR5的过渡期。**目前DDR4技术的发展进入了成熟期，已经成为了服务器内存市场的主流。为了实现更高的传输速率和支持更大的流量，各大服务器提供商正着手布局DDR5存储产品。
- **服务器端对DDR5的导入更多取决于DDR5技术在平台方的普及进度，目前还没有正式支持DDR5内存的平台。**AMD预计在2021年推出的Zen4处理器上更换插槽以支持DDR5内存。

全球服务器出货量统计

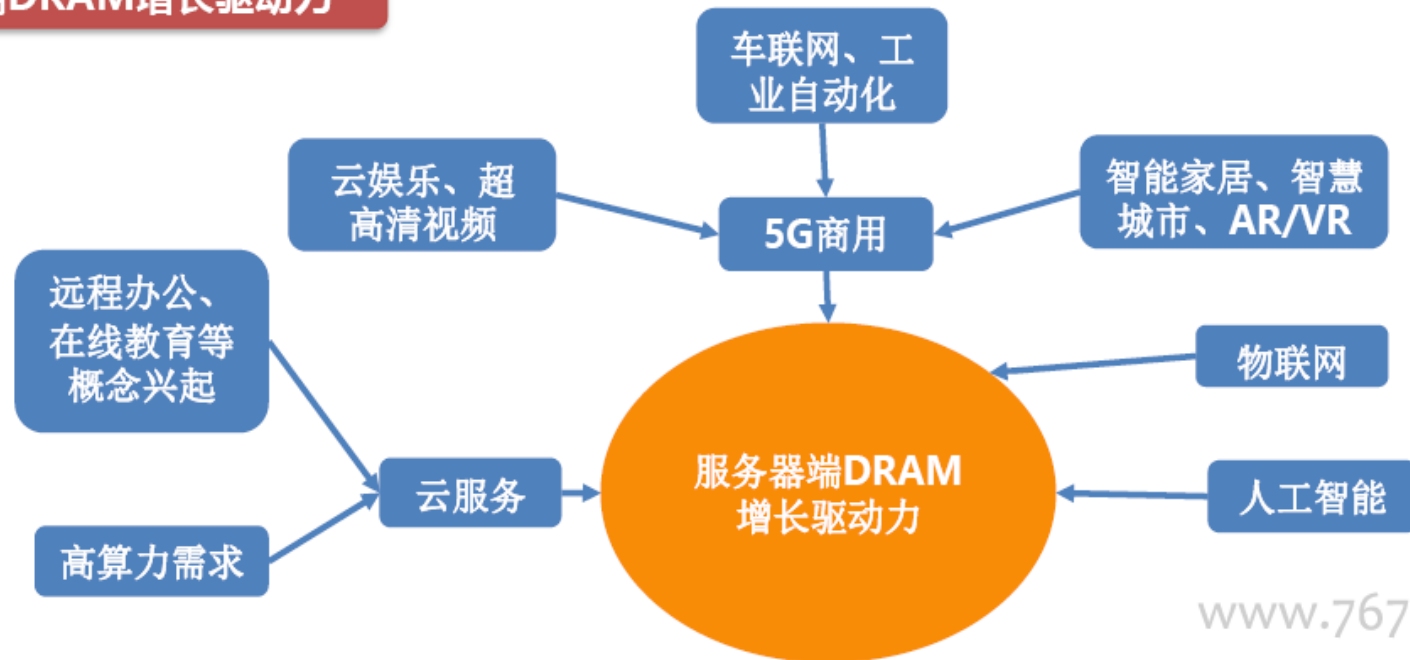


单服务器内存模组数测算

服务器类型	类1	类2	类3	类4	类5	类6
CPU数量	2	1	4	2	1	4
内存通道数	6	6	6	8	8	8
单通道内存模组连接数	2	2	2	2	2	2
内存模组数量 (满插)	24	12	48	32	16	64
内存模组数量 (非满插)	12	6	24	16	8	32
满插率	6%	6%	6%	6%	6%	6%
非满插率	94%	94%	94%	94%	94%	94%
市占比	80%	10%	10%	0%	0%	0%
平均单服务器内存模组数量 (根)	13					

- **短期云服务需求增加促使服务器出货大幅增加。**疫情“黑天鹅”致使各公司、学校及单位意识到远程办公、在线教育等应用场景在未来趋势，由此释放了大量云服务的需求。**中长期云服务对于服务器算力的提高也将进一步推动服务器需求。**
- **中长期5G商用推动服务器增长。**回顾服务器行业发展情况，14年行业增速大幅提升的驱动力分别来自4G的大规模商用业务扩张。**5G对于速率、容量、低延时方面的要求大大超过4G**，且其领域拓展至VR/AR、车联网、工业互联网等各个领域，拥有十分巨大的市场空间。
- **长期物联网、AI等领域兴起推动发展。**云计算和边缘计算服务器是物联网发展的基础，而AI技术又是服务、教育、金融以及制造行业多领域未来的发展方向，这些技术都需要相对应的服务器端作为基础支持，未来具有广泛空间。

### 服务器端DRAM增长驱动力



www.767stock.com

- 车用DRAM主要分为**车载信息娱乐系统**、**先进驾驶辅助系统**、**车载信息系统**、**数位仪表板**四大领域。
- **自动驾驶推动车用DRAM增长**。目前车用DRAM主要集中在车载娱乐系统，其余三块领域会随着自动化驾驶程度的提高增加DRAM的需求量。
- **从车载信息娱乐系统来看**，目前画质升级、传输速度提高的趋势增加了对4GB-8GB规格DRAM的需求。
- **先进驾驶辅助系统**分为发散式（倒车雷达）、集中式（机器学习）两种体系，前者对DRAM的需求小于后者。未来随着自动驾驶程度的提升，对于DRAM的需求将进一步增加。
- **车载信息系统**是车辆的通讯系统，目前搭载的都是LPDDR，未来车联网将带来对于DRAM的需求。
- **数位仪表板**是车辆的中控系统之一，相对于其他三个领域来说，其对DRAM需求较少。

车用DRAM示意图



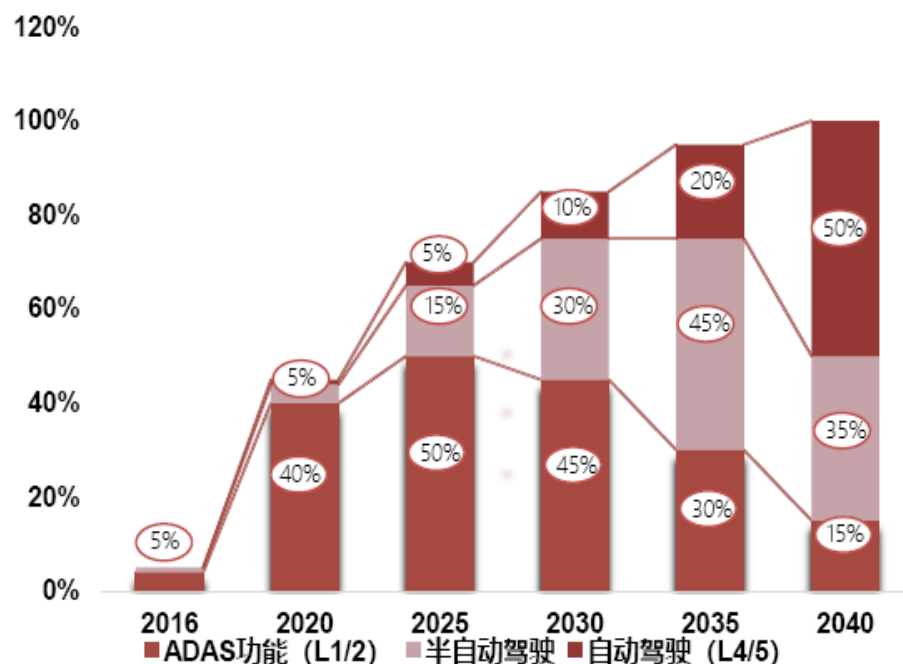
四大领域车用DRAM规格

车用DRAM应用场景	当前用DRAM	未来用DRAM
车载信息娱乐系统	1~2GB DDR3 2/4GB	LPDDR4 8Gb
先进辅助驾驶系统	2~4GB DDR3	LPDDR4/4X 8Gb
车载信息系统	512MB~2GB LPDDR2	LPDDR4
数位仪表盘	64MB~256MB HyperDRAM	LPDDR3 2~4Gb

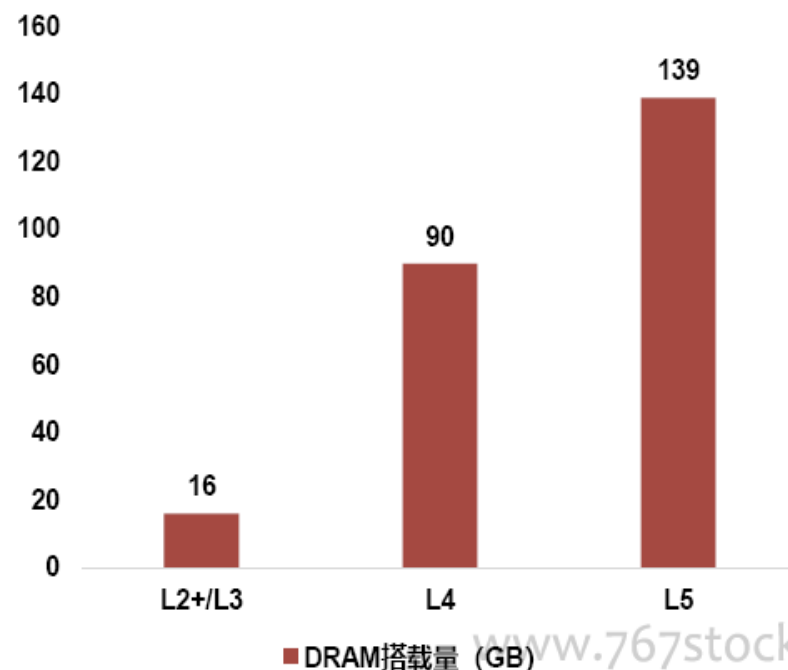
www.767stock.com

- **自动驾驶汽车发展确定性高，DRAM需求量巨大。**要实现智能汽车，需要将人工智能、视觉计算、雷达、监控装置和全球定位系统等技术进行结合。以上每一种技术都需要DRAM作为基础，而随着自动驾驶渗透率的迅速提升，车用DRAM领域将成为巨大的市场。
- **无人驾驶等级的提高会进一步增加对DRAM的需求量。**据美光公司公告，一辆配有L3级的汽车拥有16GB的DRAM，L4级的拥有90GB，而L5级更是多达139GB，远超于智能手机和PC单机DRAM搭载量，未来有望在DRAM市场空间中占比较大的份额。

全球自动驾驶渗透率



各等级自动驾驶所需的DRAM容量





- 目前国内有三大存储项目：紫光集团与武汉、南京及成都合作展开的NAND与DRAM项目（**长江存储、紫光南京、紫光成都**），联电与福建省合作的DRAM项目（**福建晋华**），兆易创新与合肥合作的DRAM项目（**合肥长鑫**）。**目前合肥长鑫是我国唯一拥有DRAM自主生产能力的公司。**

### 中国大陆主要存储芯片生产基地

生产基地	长江存储（紫光）	紫光南京	紫光成都	合肥长鑫	福建晋华
产品种类	3D NAND	DRAM/3D NAND	3D NAND	移动式DRAM	利基型DRAM
目前制程工艺	32/64/128层	/	/	19nm	20nm
投资时间	2016年四季度	2017年一季度	2017年二季度	2016年二季度	2016年三季度
投资规模	240亿美元	300亿美元	300亿美元	72亿美元	57亿美元
技术来源	美国飞索、中科院	/	/	奇梦达	联华电子
关键人物	高启全	/	/	王宁国、朱一鸣	陈正坤
设备入场时间	2018年二季度	/	/	2018年一季度	2017年四季度
量产时间	2018年三季度	/	/	2018年四季度	停摆中
2020年底月产能	10万片	/	/	4万片	/
长期计划	30万片/月	30万片/月	30万片/月	36万片/月	24万片/月

- **我国DRAM存储芯片市场：短期格局难变。**当前我国专注于DRAM存储芯片共有三家公司：紫光南京、福建晋华、合肥长鑫。其中**合肥长鑫是我国短期内完成DRAM国产替代的最大希望。**
- **紫光南京**产品线覆盖标准SDR、DDR、DDR2、DDR3、DDR4和低功耗系列LPDDR2、LPDDR4。**量产环节主要由力晶半导体完成，尚无自产能力。**
- **福建晋华**主要研发利基型DRAM技术，规划第一阶段做25nm 4GB DDR4/DDR3产品。但在2018年受到美国制裁，**如今项目暂时处于停摆状态。**
- **合肥长鑫**主要生产移动型DRAM，**目前已具备量产能力。**2018年成功量产DDR4，2019年成功量产LPDDR4，是现在大陆唯一能够自主生产DRAM的厂商，目前工艺尺寸为19nm。

### 国内主要DRAM厂商

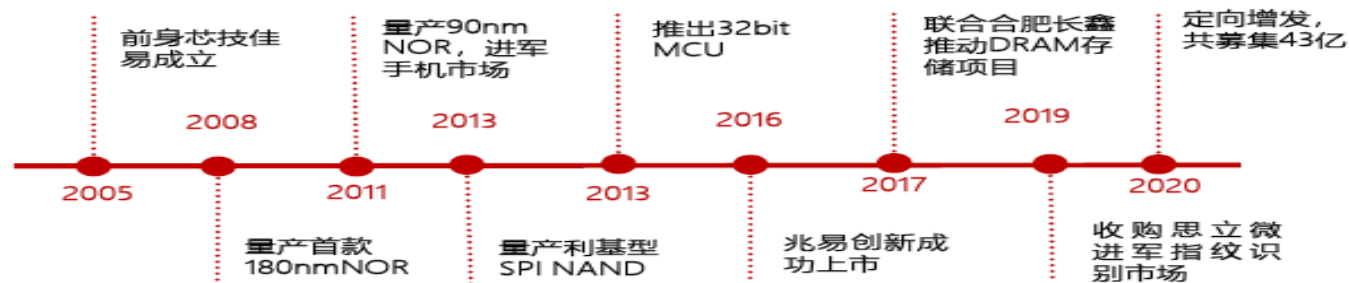
生产基地	出资背景	建设地点	生产线名称	技术水平	进展情况	产品
合肥长鑫	兆易创新与合肥市产业投资控股合作	合肥	DRAM生产线	19nm DRAM	2019.9投产	2018年8GB DDR4、 2019年8GB LPDDR4
福建晋华	福建省电子信息集团、及泉州、晋江两级政府共同出资设立。与联电展开深度技术合作	福建泉州	利基型DRAM及NAND Flash生产线	2Xnm DRAM	2019.3停产	利基型DRAM (计划)
紫光南京	紫光集团	南京	3D NAND/DRAM	/	2018.9开工	NAND Flash、 DRAM (计划)



- **2017年10月**，兆易创新与合肥产投签署合作协议，开展工艺制程19nm存储器的12英寸晶圆存储器（含DRAM等）的研发，正式进军**DRAM**领域。
- **2019年**，公司与合肥产投、合肥长鑫集成电路签署《可转股债权投资协议》，约定以可转股债权方式对项目投资3亿元，并继续研究商讨后续合作方案。公司与长鑫存储合作方式主要分为**代销**和**代工**两种。
- **2020年4月**，公司与合肥长鑫签署了《框架采购协议》、《代工服务协议》及《产品联合开发平台合作协议》日常交易框架协议，推动双方在**DRAM**产品销售、代工及工程端的紧密合作。
- 兆易创新自研的**DRAM**由合肥长鑫生产，兆易创新负责代销。

- 兆易创新成立于**2005年**，是大陆地区最大的闪存芯片本土设计企业。随着TWS耳机的兴起，公司近两年NOR Flash业务高速增长，在2019年Q3超越Cypress成为全球前三的NOR Flash供应商。累计出货量超**130亿颗**，年出货量超**28亿颗**，是全球排名第一的无晶圆厂**NOR Flash**供应商。
- **2016年**，合肥长鑫项目启动，主攻**DRAM**存储芯片，由兆易创新集团与合肥政府共同出资建立，原兆易创新CEO朱一明担任长鑫存储技术有限公司董事长。
- **2020年6月3日**，公司通过非公开发行股票共募集资金**43.24** 亿元，主要投入**DRAM**芯片研发及产业化项目。拟通过本项目研发1Xnm级（19nm、17nm）工艺制程下的DRAM技术，设计和开发DDR3、LPDDR3、DDR4、LPDDR4 系列DRAM芯片。预计2021 年完成客户验证和量产，2022-2025 年间开展多系列产品的研发和量产工作。

### 兆易创新发展历程



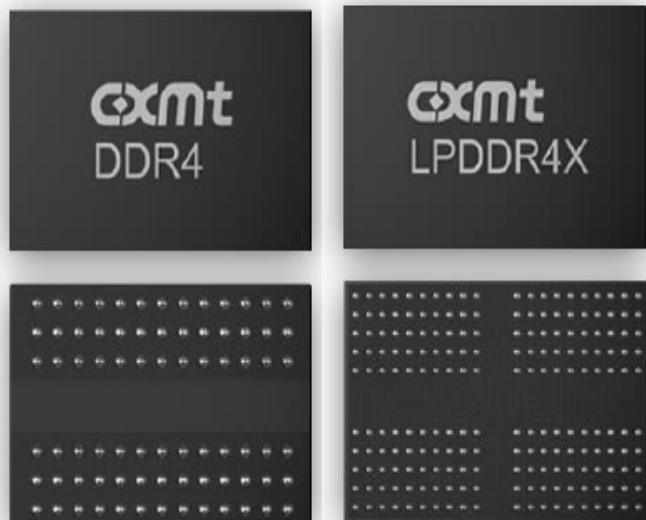
- **合肥长鑫项目**又称“506项目”，由兆易创新与合肥市产业投资控股合作，建设19nm、12寸晶圆DRAM芯片项目。该项目包括了合肥长鑫（合肥长鑫集成电路有限责任公司）、长鑫存储（长鑫存储技术有限公司）、睿力集成（睿力集成电路有限公司）三个运营主体，总预算金额为180亿元。
- 合肥长鑫于2018年一季度已完成一期建设，12英寸晶圆生产线投产电性片。2019年下半年公司的DDR和LPDDR4产品正式投产，目前产能为4万片每月。
- 合肥长鑫目前是我国首家DRAM存储芯片供应商，公司的8G DDR4以及8G LPDDR4产品已经对外供应，主要应用方向为手机端，客户为联想、小米、华为等。

- 长鑫存储的DRAM技术主要来源于德国奇梦达。奇梦达是英飞凌半导体公司独立出来的DRAM存储芯片公司，曾是全球第四大DRAM芯片供应商，于2008年金融危机中破产。
- 通过与奇梦达合作，获得了一千多万分与DRAM相关的技术文件以及2.8TB的数据。该数据由12000多个专利组成，包括了DRAM、Flash、半导体工艺及制造、光刻、封装、半导体点和存储器接口相关的技术。这些成为了长鑫存储最初的技术来源之一。
- 长鑫顺利推进奇梦达技术，完成10nm级别自主产权芯片。基于奇梦达堆叠式技术，公司成功将奇梦达46nm工艺的存储器芯片推进至10nm级别，耗资25亿美元。目前公司已经开始了HKMG、EUV和GAA等新技术的探索。

- 合肥长鑫是我国近期实现DRAM国产替代的最大希望。截至目前中国主要的DRAM存储芯片厂商为紫光南京、福建晋华以及合肥长鑫。紫光南京的量产主要由力晶半导体完成，暂无自主量产能力；长江存储刚开始涉及DRAM领域，距离量产还有一定距离；福建晋华又因中美贸易摩擦项目停滞。综上所述，短期内我国DRAM自主替代最大的希望就是合肥长鑫。
- 2019年9月，长鑫存储正式量产19nm 8Gb DDR4内存，2020Q1合肥长鑫月产能已达4万片/月，提前达到了产能预期，是我国DRAM存储芯片自主制造里程碑式的进步。当前已经启动8万片/月的建设目标，预计在2021年完成一期三阶段建设，产能预计达到12万片/月。目标总共建设三期，每期产能为12万片/月，全部建成后达到36万片/月，约为全球DRAM总产能的30%。
- 2019年公司完成了首颗国产19nm工艺的DDR4、LPDDR4内存研发量产，成为了全球第四家DRAM产品采用20nm以下工艺的厂商。计划于2021年完成17nm的工艺研发，并展开DDR5 DRAM产品研发。

## 长鑫存储主要产品

## 长鑫存储与三星产品参数对比



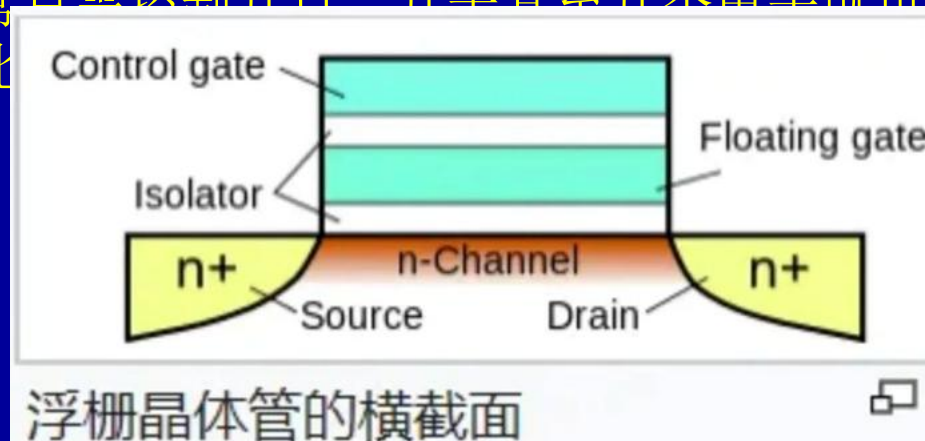
DRAM颗粒	长鑫DDR4	三星DDR4	长鑫LPDDR4X	三星LPDDR4X
容量 (GB)	8	4/8/16/32	2/4	8~96
速率 (Mbps)	2666	2133-3200	3733	4266
工作电压 (V)	1.2	1.2	0.6/1.1/1.8	0.6/1.1/1.8
工艺尺寸	19nm	1Znm	19nm	1Znm
应用领域	PC、机顶盒、固态硬盘	PC、电视和游戏、汽车	智能手机、平板电脑	移动端、PC、电视、汽车

- **行业竞争加剧的风险。** DRAM作为专利壁垒较高的行业，未来存在行业巨头竞争加剧引发的风险。
- **中美局势紧张，新冠疫情加重，DRAM需求面临不确定性风险。** DRAM的需求由手机、服务器等因素共同驱动，存在下游需求不及预期的风险。
- **晶圆厂产能持续满载，DRAM存在供给风险。** 近期晶圆代工产能吃紧，相对挤压DRAM产能比重，短期内将出现产能调适的过渡期，影响整体DRAM供应。

浮栅存储器件的发明，伴随着整个半导体微电子产业的发展，存储器也以惊人的速度发展。以动态存储器DRAM为例，每个存储单元工作所需的电子数目也越来越少，DRAM中的电容如果不能提供足够多的电子给放大器，整个存储器将被噪声所淹没，将不能保证信息存储的可靠性。

当每个存储单元的电子数目因集成度的提高而变得越来越少时，存储器中的MOS场效应管将逐渐变得不稳定，使整个存储器的可靠性难以得到保证。

单电子存储器的出现使存储器继续维持高速发展成为可能，目前已经实现室温下对背景电荷不敏感的单电子存储器，因此实际应用前景非常光明。从目前设计制备出来的单电子存储器来看，它们的工作通常只需控制几百、几十甚至几个电子就可以实现数据的存储，因此

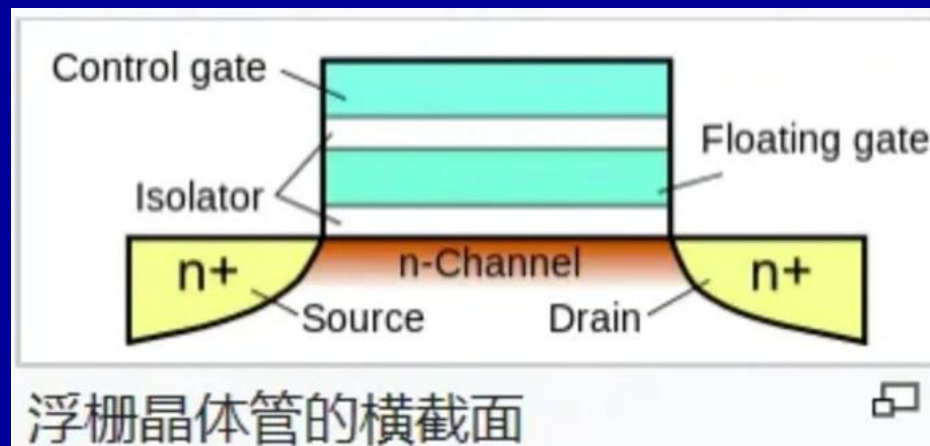


单电子晶体管是单电子存储器的最主要组成部分，单电子晶体管的特性在一定程度上决定了基于它制备的存储器的性能，所以它的发展在很大程度上制约单电子存储器的发展。

在单电子存储器中，使用对电荷超敏感的库仑计对存储单元中的电荷进行探测，来确定存储单元的状态。这些超敏感的库仑计是将单电子晶体管和浮栅与被测对象集成在一起，利用单电子晶体管对栅极电荷的敏感性来实现电荷的探测。而在另一些单电子存储器中则是利用单电子晶体管中的库仑阻塞现象，通过控制源、漏和栅极电压实现对源（或漏）上电子数目的精确控制，然后利用其他的放大部分（如MOSFET）来实现数据的存储。其中的单电子晶体管有些具有单个量子点结构，而有些则具有纳米线结构。



浮栅量子点的存储器是依据量子点的库仑阻塞原理设计和制备的。依据Fowler-Nordheim隧穿原理，利用栅极来控制电子进出量子点，使量子点在库仑阻塞区域的边界达到两个稳定的电压值，此时系统的两个稳定态对应量子点两个不同的势能。通过电容耦合一个单电子晶体管（库仑计）或者利用MOS场效应管来对量子点的状态进行探测，便可以确定出系统的状态。为了实现单电子器件的高密度存储，就必须精确控制量子点的形状和位置，因此这些器件的制备通常具有一定的难度，但是利用扫描探针技术可以制备出常温下可以正常工作的单电子存储器，如果使用纳米硅颗粒来制备器件，它们也可以在室温下工作，并且不受背景电荷涨落的影响。



Principle of Semiconductor Devices

浮栅MOS（FGMOS）可以通过标准MOSFET栅极绝缘来制造，通过绝缘使得其栅极与外界没有电阻连接，然后再浮栅上方沉积多个次级栅极或输入电极，并与其电隔离。由于浮栅完全被高阻材料包围，输入电极和浮栅之间仅有电容耦合，因此就其直流工作点而言，浮栅是浮动节点。

在需要修改浮栅电荷量的应用，每个FGMOS会添加一对额外的小晶体管，以实现注入和隧穿操作。每个晶体管的栅极连接在一起，隧穿晶体管的源极、漏极和体端子相互连接，形成电容隧穿结构。注入晶体管以正常方式连接，并施加特定电压以产生热载流子，然后通过电场将热载流子注入浮栅。

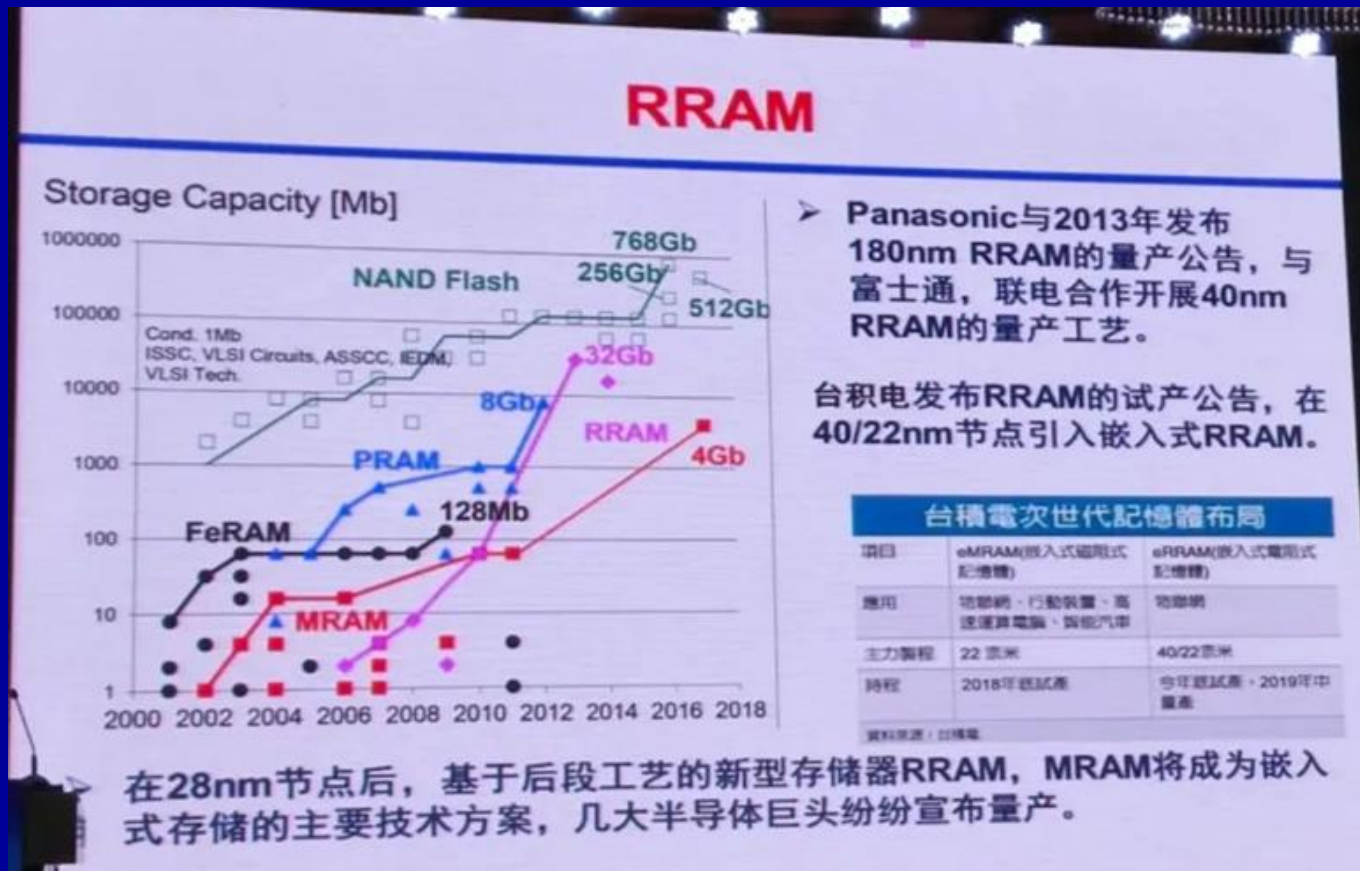
在纯电容应用中，FGMOS晶体管既可以制造成N型，也可以做成P型。对于电荷改变的应用，隧穿晶体管以及FGMOS需要嵌入到阱中，因此该技术决定了可以使用的FGMOS的类型。



**RRAM**相比**MRAM**和**PRAM**研究要稍晚。虽然这个现象早在1962年就报道了，但没有引起学术界和工业界的关注。直到2000年，美国休斯敦大学在**APL**上发表了一篇关于“在庞磁阻氧化物薄膜器件中发现电脉冲触发可逆电阻转变效应”的文章后，夏普公司购买了该专利，对**RRAM**开始了业界的开发，自此以后才引起学术界和业界的关注。主流存储器厂商也纷纷投入力量，开始对**RRAM**的研究，从实验室阶段进入到企业的研发阶段。



从容量上看，MRAM、PRAM和RRAM这三类新型存储器，MRAM最高达到4Gb，PRAM最高达到8Gb，RRAM最高达到32Gb。它们和闪存相比，容量差别还很大，但这三者的读写速度都比闪存快1000倍以上。

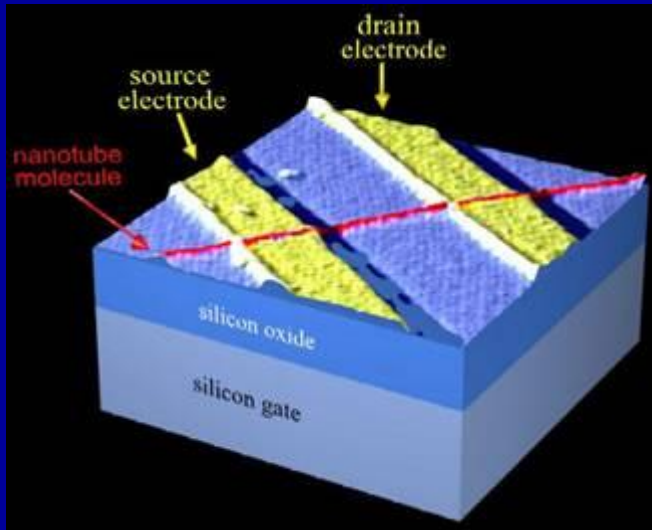


## § 6.4 纳米器件

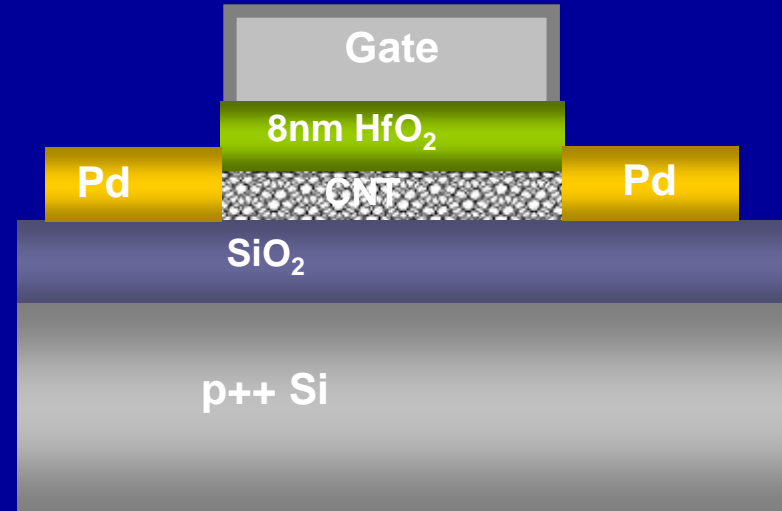
基本问题:

- 1、器件尺寸缩小对工艺技术的挑战
- 2、栅氧化层减薄的限制
- 3、量子效应的影响
- 4、杂质随机分布的影响
- 5、阈值电压减小的限制
- 6、源、漏区串联电阻的影响

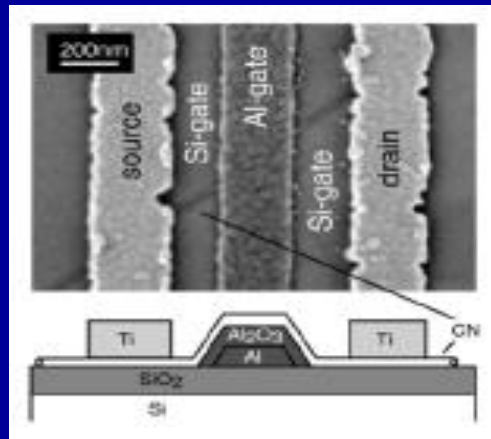
# CNT FETs



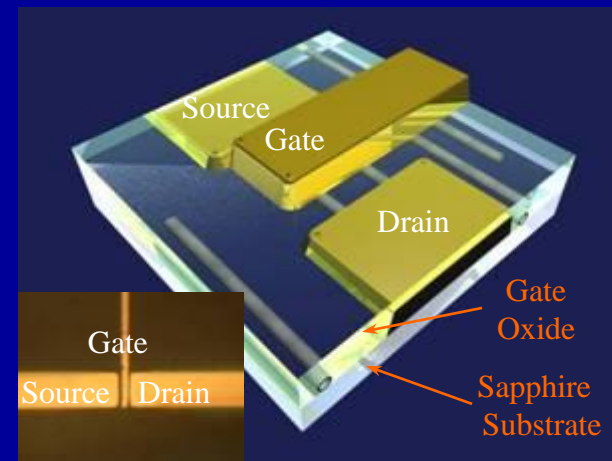
Delft : Tans, et al., *Nature*, **393**, 49, 1998



Javey, et al., *Nano Letters*, **4**, 1319, 2004



Appenzeller, et al., *PRL*, **93**, 19, 2005

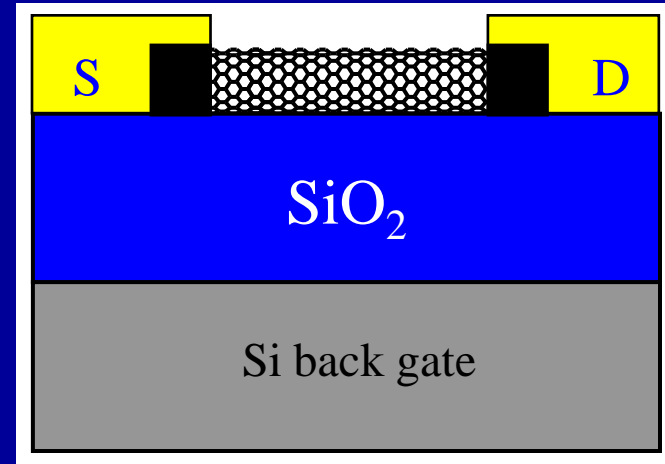
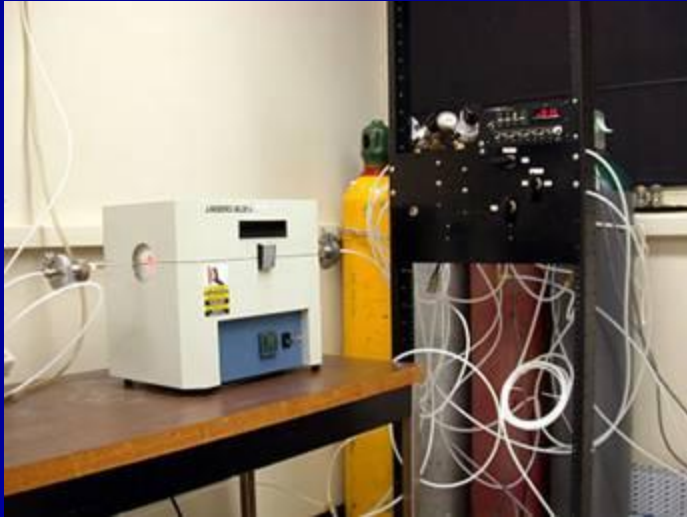


Liu, et al., *Nano Letters*, **6**, 34, 2006

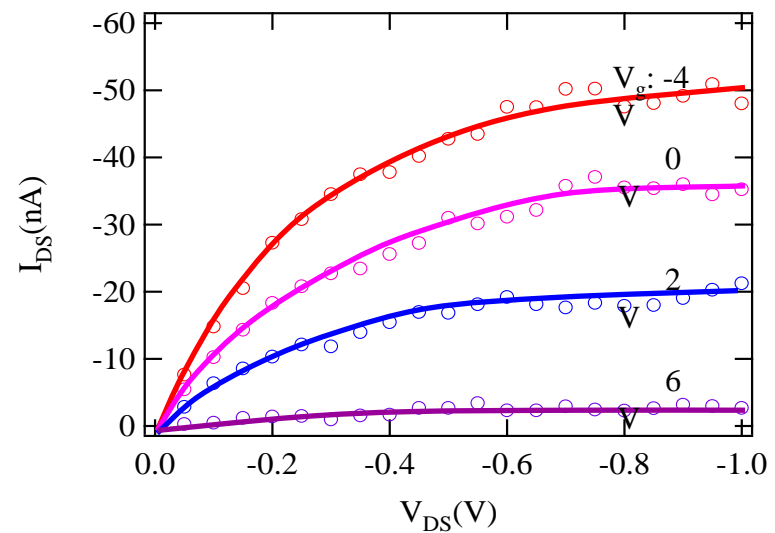
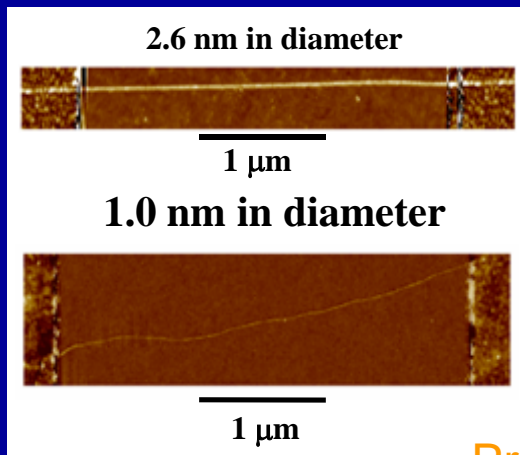
Principle of Semiconductor Devices

# Infrastructure: Nanotube CVD Generation I

Nanotube transistor can be easily produced.



High-quality nanotubes can be grown at specific positions

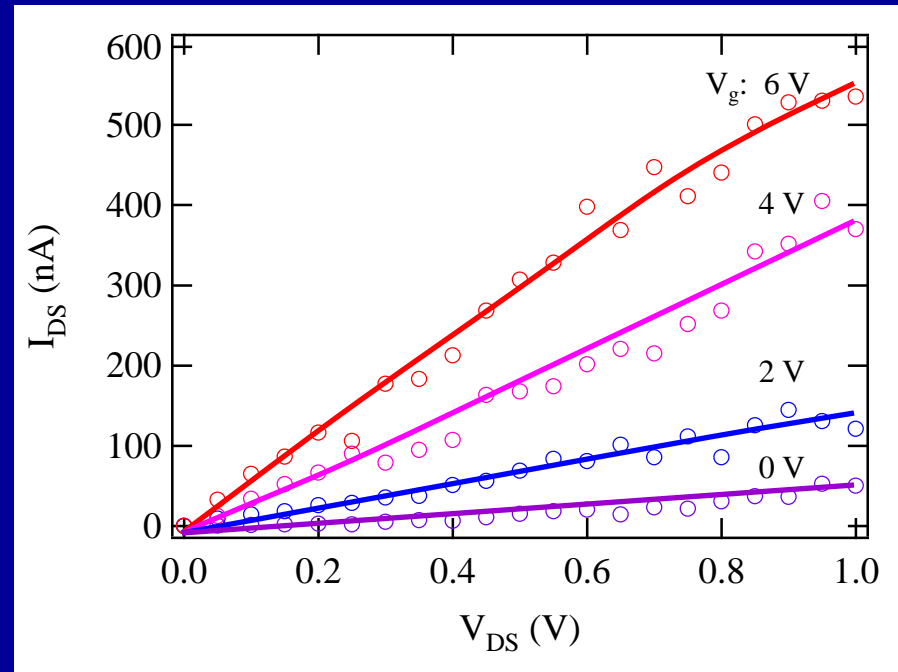
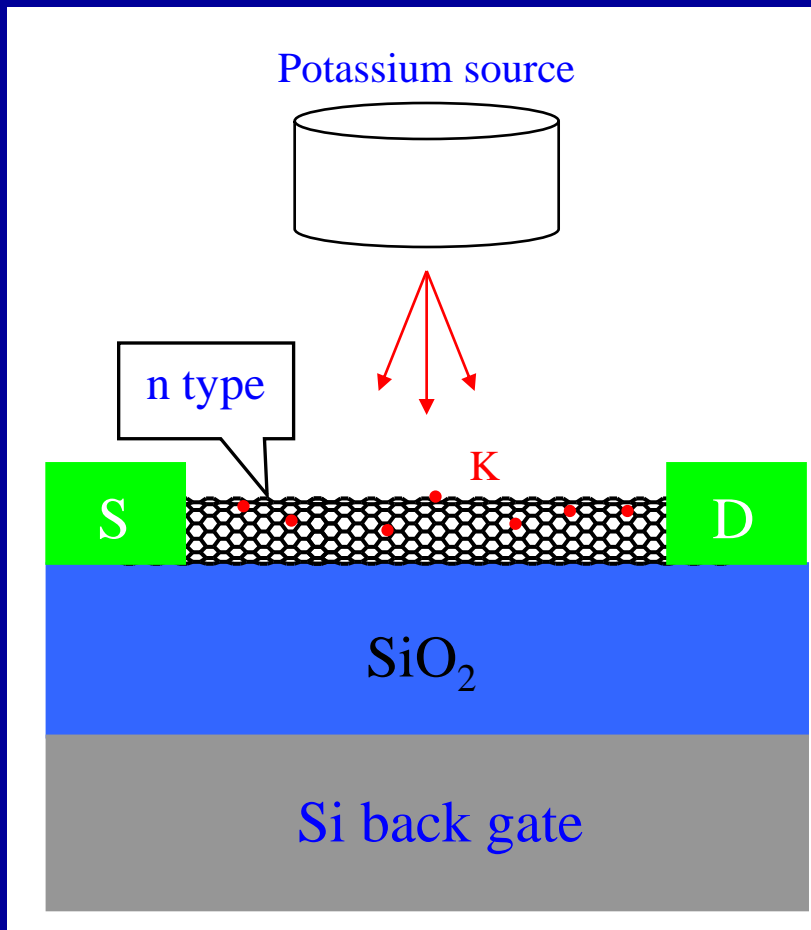


Principle of Semiconductor Devices



# Toward Integrated Nanotube Systems

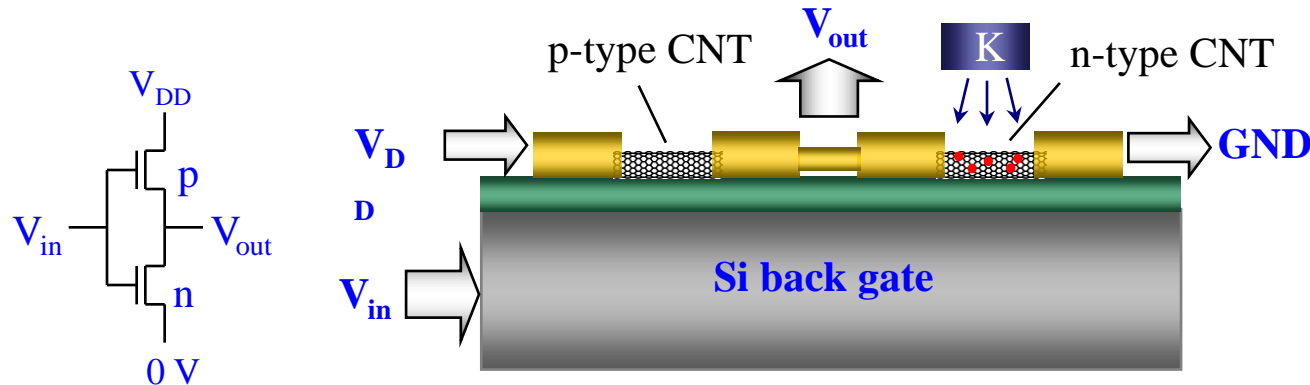
## N-type Field Effect Transistor



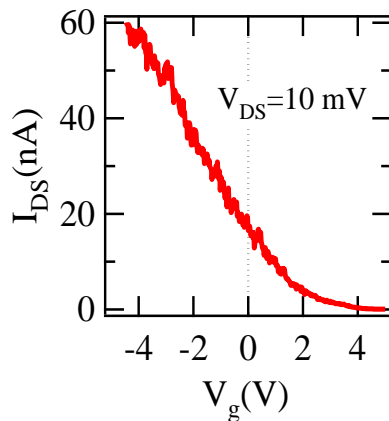
Potassium doping:

1. Heat up a potassium source;
2. Electron transfer from K to the nanotube reverts the doping from p type to n type.

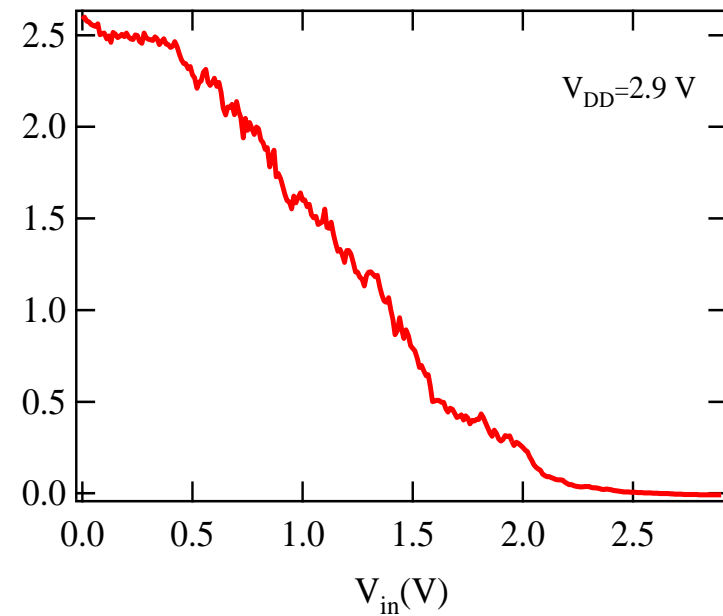
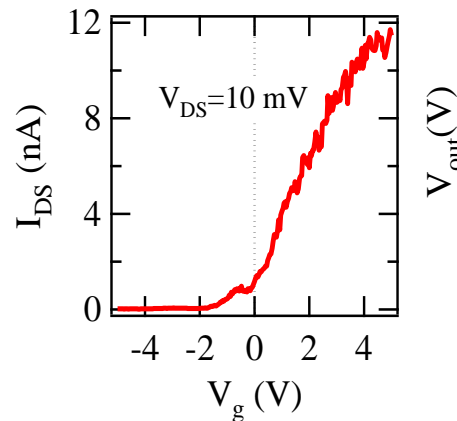
# Integrated Nanotube Systems: Complementary Carbon Nanotube Inverter



P type MOSFET:



N type MOSFET:



One of the first integrated systems made of carbon nanotubes.



## § 6.5 功率器件

- 功率整流管
- 肖特基势垒整流管
- 结-势垒-控制型肖特基整流管 (JBS)
- 沟槽-MOS-势垒控制型肖特基整流管 (TMBS)
- pin整流管
- pin/肖特基混合型 (MPS) 整流管
- 静态屏蔽二极管
- 功率MOSFET
- IGBT
- 宽禁带半导体器件

# IGBT

- 所谓IGBT(绝缘栅双极型晶体管)，是由BJT(双极结型晶体三极管)和MOS(绝缘栅型场效应管)组成的复合全控型-电压驱动式-功率半导体器件。
- IGBT没有放大电压的功能，导通时可以看做导线，断开时当做开路。IGBT融合了BJT和MOSFET的两种器件的优点，如所需驱动功率小和饱和压降低等。

# IGBT的发展历程

- 工程师在实际应用中发现，需要一种新功率器件能同时满足：驱动电路简单，以降低成本与开关功耗；通态压降要低，以减小器件自身的功耗。
- 回顾在1950-60年代发明的双极型器件SCR、GTR和GTO通态电阻很小；电流控制，控制电路复杂且功耗大；1970年代推出的单极型器件VD-MOSFET通态电阻很大；电压控制，控制电路简单且功耗小；因此到了1980年代，工程师们试图把MOS与BJT技术集成起来的研究，导致了IGBT的发明。

## ● 各代IGBT主要参数对比

代别	技术特点	芯片面积	饱和压降	$T_R/\mu s$	功率损耗	出现时间
第1代	平面穿透型 (P.PT)	100	3	0.5	100	1988
第2代	改进的平面穿透型 (P.PT)	56	2.8	0.3	74	1990
第3代	沟槽型 (trench)	40	2	0.25	51	1992
第4代	透明集电区非穿透型 (NPT)	31	1.5	0.25	39	1997
第5代	电场截止型 (FS)	27	1.3	0.19	33	2001
第6代	沟槽型电场截止型 (FS-Trench)	24	1	0.15	29	2003

资料来源：SITRI产业研究、中国中投证券研究总部

变频器世界

# IGBT国内外对比

- 从市场竞争格局来看，目前美国功率器件处于世界领先地位，拥有一批具有全球影响力的厂商，例如 TI、Fairchild、NS、Linear、IR、Maxim、ADI、ON Semiconductor、AOS 和 Vishay 等厂商。欧洲拥有 Infineon、ST 和 NXP 三家全球半导体大厂，产品线齐全，无论是功率 IC 还是功率分离器件都具有领先实力。
- 日本功率器件厂商主要有 Toshiba、Renesas、NEC、Ricoh、Sanke、Seiko、Sanyo、Sharp、Fujitsu、Toshiba、Rohm、Matsushita、Fuji Electric 等等。日本厂商在分立功率器件方面做的较好，但在功率芯片方面，虽然厂商数量众多，但很多厂商的核心业务并非功率芯片。

- 国内，尽管我国拥有最大的功率半导体市场，但是目前国内功率半导体产品的研发与国际大公司相比还存在很大差距，特别是IGBT等高端器件差距更加明显。核心技术均掌握在发达国家企业手中，IGBT技术集成度高的特点又导致了较高的市场集中度。跟国内厂商相比，英飞凌、三菱和富士电机等国际厂商占有绝对的市场优势。形成这种局面的原因主要是：
  - （1）国际厂商起步早，研发投入大，形成了较高的专利壁垒。
  - （2）国外高端制造业水平比国内要高很多，一定程度上支撑了国际厂商的技术优势。
- 所以中国功率半导体产业的发展必须改变目前技术处于劣势的局面，特别是要在产业链上游层面取得突破，改变目前功率器件领域封装强于芯片的现状。



- 技术差距从以下两个方面也有体现：
- （1）高铁、智能电网、新能源与高压变频器等领域所采用的IGBT模块规格在6500V以上，技术壁垒较强；
- （2）IGBT芯片设计制造、模块封装、失效分析、测试等IGBT产业核心技术仍掌握在发达国家企业手中。
- 近几年中国IGBT产业在国家政策推动及市场牵引下得到迅速发展，已形成了IDM模式和代工模式的IGBT完整产业链，IGBT国产化的进程加快，有望摆脱进口依赖。

- 而中国大陆功率半导体市场占世界市场的50%以上，但在中高端MOSFET及IGBT主流器件市场上，90%主要依赖进口，基本被国外欧美、日本企业垄断。
- 国外企业如英飞凌、ABB、三菱等厂商研发的IGBT器件产品规格涵盖电压600V-6500V，电流2A-3600A，已形成完善的IGBT产品系列，按照细分的不同，各大公司有以下特点：
- （1）英飞凌、三菱、ABB在1700V以上电压等级的工业IGBT领域占绝对优势；在3300V以上电压等级的高压IGBT技术领域几乎处于垄断地位。在大功率沟槽技术方面，英飞凌与三菱公司处于国际领先水平；
- （2）西门康、仙童等在1700V及以下电压等级的消费IGBT领域处于优势地位。

## § 6.6 微波器件

- 微波频率覆盖范围从1GHz ( $10^9\text{Hz}$ ) 到1000GHz, 相应的波长从30cm到0.03cm。其中30到300GHz频段, 因其波长是10到1mm, 故称为毫米波带。更高的频率称为亚毫米波带。

# 主要微波半导体器件概况

名称	常用材料	工作原理	主要功能
变容二极管	Si GaAs	pn结非线性电容效应，电极随偏压变化	参量放大、倍频、电调谐
pin二极管	Si	利用高阻i层在正、反向偏压下对p+i结和n+i结注入载流子的存贮和扫出作用所具有的可变电阻特性实现信号的控制。	微波开关、移相器、衰减器
隧道二极管	GaAs GaSb	隧道穿透，负微分电阻	本机振荡器 锁频电路
IMPATT二极管	Si GaAs	雪崩和渡越时间效应产生大功率	微波振荡
BARITT二极管	Si	势垒注入和渡越时间效应	本机振荡 多普勒检波器

TED	GaAs InP	不同能谷间电子转移效应所导致的负阻特性	微波振荡 放大
肖特基二极管	Si GaAs	金属半导体接触的整流效应及非线性电阻特性	混频检波
微波双极晶体管	Si	由电流控制的对输入信号的放大作用，电子和空穴参与输运过程	低噪声放大 功率放大 微波振荡
微波异质结双极晶体管	$\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ InP/InGaAsP Si/SiGe	同上	同上
微波GaAs MESFET	GaAs	由电压控制的对输入信号的放大作用，多数载流子输运	同上
高电子迁移率晶体管 (HEMT)	$\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$	通过由电压控制的高迁移率2DEG浓度和运动的变化实现对输入信号的控制与放大	同上

## § 6.7 光电子器件

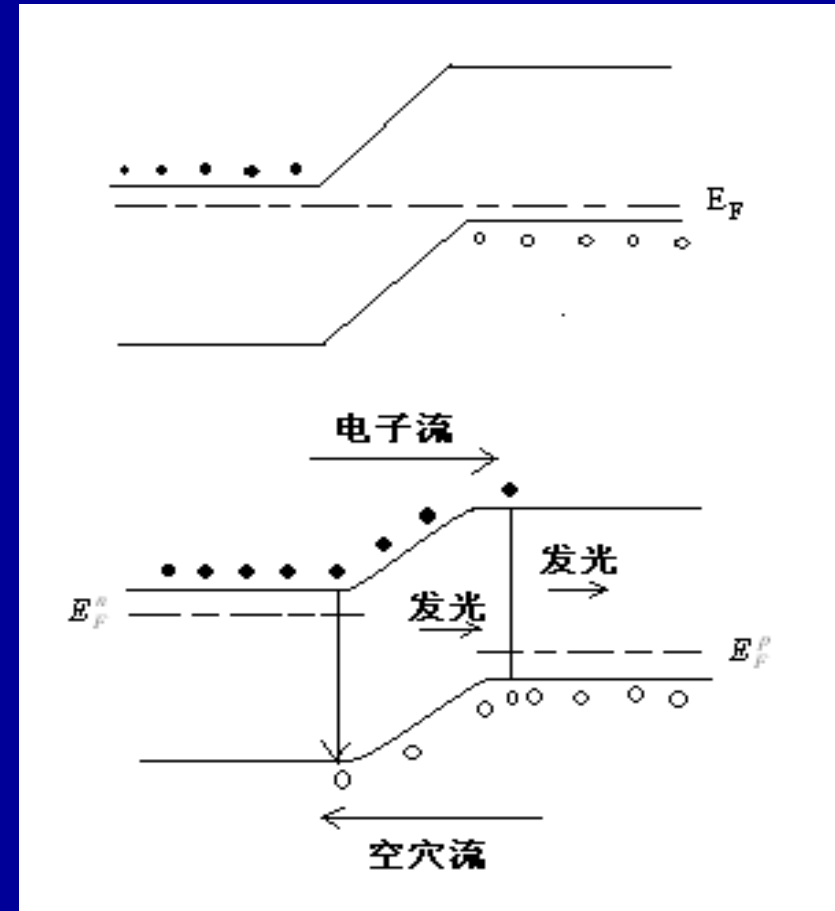
半导体光电子器件作为一门新兴学科，主要包括：半导体发光器件、半导体激光器、太阳能电池、半导体光电探测器等。

基本物理理论包括，电子，空穴，光子之间的相互作用，费米黄金法则，量子力学基础，半导体能带结构，麦克斯韦方程组和光学波导，半导体中的光学过程，速率方程，以及基本光电子器件的特性等。



# 发光器件LED

LED产生光子发射的主要条件是系统必须处于非平衡状态（即，半导体内需要有某种激发过程存在，通过非平衡载流子的复合，才能形成发光）

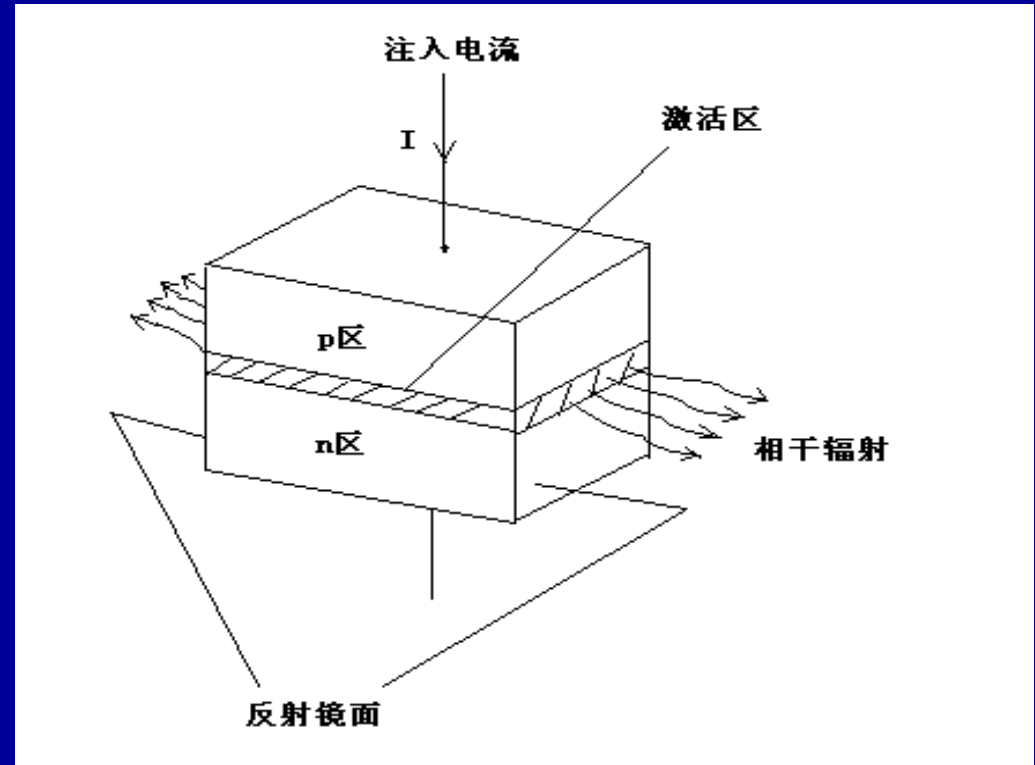


- 辐射复合：带带复合、浅施主-价带或导带-浅受主间复合（施、受主的电离能都很小，跃迁与带-带跃迁很难区别，但由于引入杂质能级位于K为（000）外，则使动量守恒定律较易满足，提高了直接跃迁几率）、施、受主之间的复合、通过深能级的复合、等电子陷阱等
- 非辐射复合：多声子复合、俄歇复合、表面复合

# 激光器Laser

- 发光二极管的发光加受激辐射
- 受激辐射三个条件
  - 1、粒子数反转
  - 2、形成光谐振腔
  - 3、满足一定的阈值条件

- 结型激光器中，垂直于结面的两个严格平行和另的一个光解理面与粗糙面构成了所谓法布里-帕罗腔。两个抛光解理面就是谐振腔的反射镜。



## 结型激光器结构

# 太阳能电池

- 太阳能电池对于空间和地面应用都是很有用的。它能给卫星长时间持续供电。由于太阳能电池能以高转换效率直接将太阳光转变成电力，以相当低廉的价格提供几乎永久性的动力，而且实际上不造成任何污染，因此它也是地球上新型能源的重要候选者。
- 太阳能电池起支配作用的有效过程是光吸收

- 非晶硅 ( $\alpha$ -Si) 也可以用来制作太阳能电池, 用射频辉光放电分解硅烷的方法, 在金属或玻璃衬底上淀积几微米厚的非晶硅薄层,  $\alpha$ -Si的有效禁带宽度是1.5eV。虽然 $\alpha$ -Si太阳能电池的效率 ( $\sim 10\%$ ) 比单晶硅太阳能电池的效率低, 但是它的造价却低得多, 因此,  $\alpha$ -Si太阳能电池是大规模利用太阳能的主要器件之一。



# 光电探测器

- 光电探测器是能够把光信号转变成电信号的半导体器件。光电探测器的工作过程包括下面三个步骤：： 1) 入射光产生载流子； 2) 载流子输运和（或）被某种可能存在的电流增益机构倍增； 3) 电流和外电路相互作用，提供输出信号。

- 光电探测器有广泛的应用，其中包括用作光隔离器中的红外传感器和光纤通讯探测器。对于这些应用，光电探测器在工作的波长范围内必须具有高灵敏度、高的响应速度及低噪声。此外光电探测器应该小型坚实，偏置电压、偏置电流低，在所要求的工作条件下使用可靠。

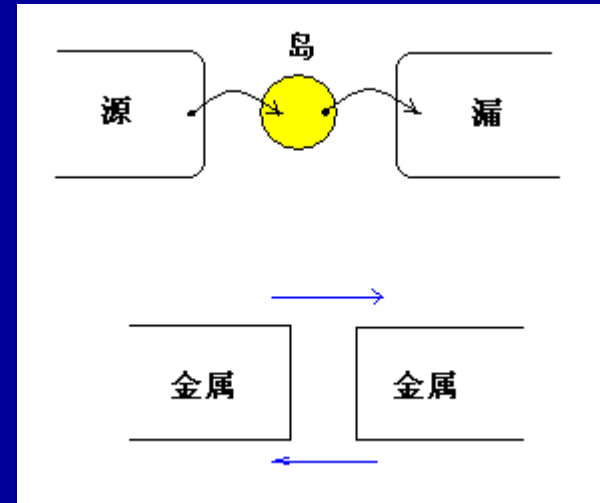
# 光电二极管

- 光电二极管基本上是一个工作在反向偏置下的p-n结。当光信号射到二极管上时，耗尽区把光产生的电子-空穴对分离开，在外电路中产生电流。在高频工作时，耗尽区必须很薄以减小渡越时间；但另一方面，为了增加量子效率，耗尽层又必须足够厚，以便能吸收大部分入射光，因此，应该兼顾响应速度和量子效率。

## § 6.8 量子器件

单电荷隧穿 SET 基本条件:

- 1。系统必须有导电的岛（单个隧道结除外），仅经隧道势垒与其它金属区连接，隧道势垒的隧穿电阻必须远大于量子电阻 $25.8\text{K}\Omega$ 。
- 2。岛必须足够小和温度足够低



# 库仑阻塞 (Coulomb Blockade)

极薄绝缘体将两电极隔开形成一个电荷位垒隧道。从不带电状态变为带正负电荷状态时，系统能量增加。在没有外界提供能量时，不可能发生，一电荷从一电极穿过隧道结到另一电极。

在纳米体系中，由于能级分立和势垒分割，当有电流流通时，在一定的条件下会产生电流中断现象

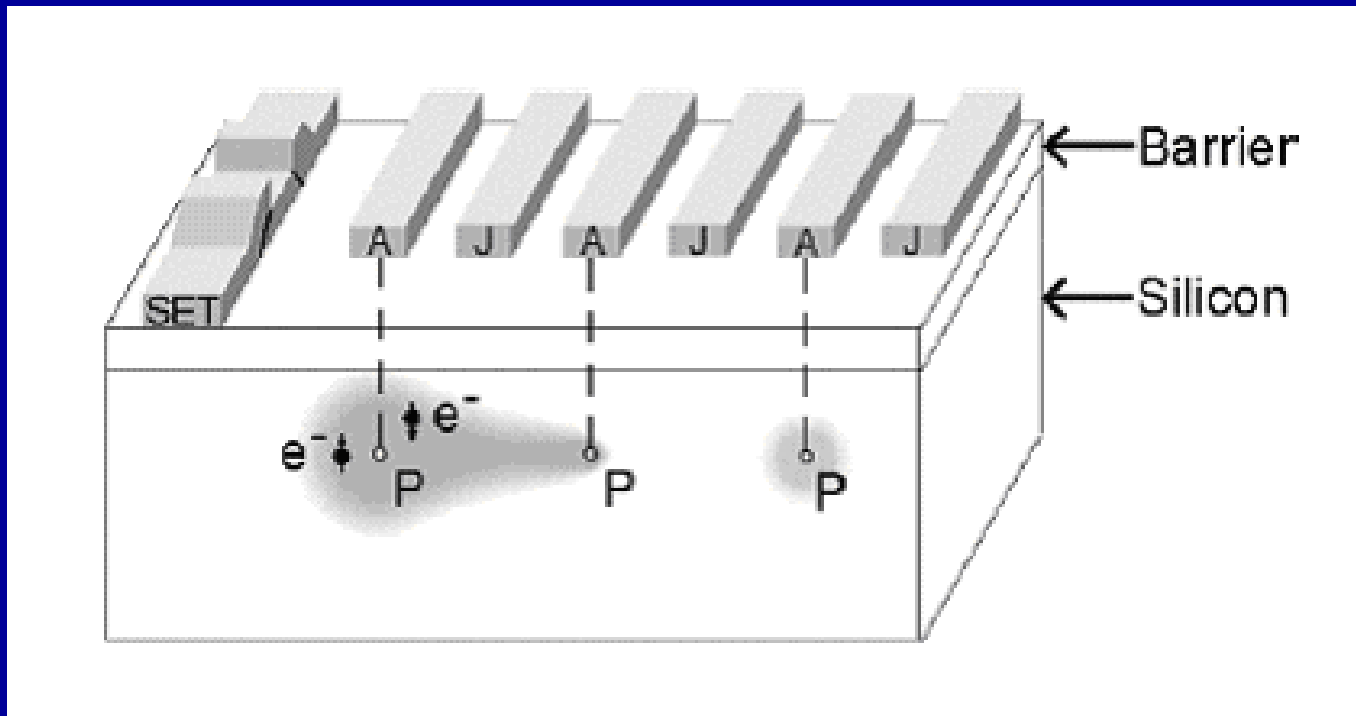
如果每次隧穿的是单个电子，库仑阻塞的阈值电压是 $e/2C$ 。（ $C$ 为电容）

- 室温下工作SET预计至少可以有三方面应用：
  - 1、对极微弱电流的测量和制成超高灵敏度的静电计；
  - 2、存储器存储量1000倍以上以及超高速低功耗等；
  - 3、高灵敏红外探测。



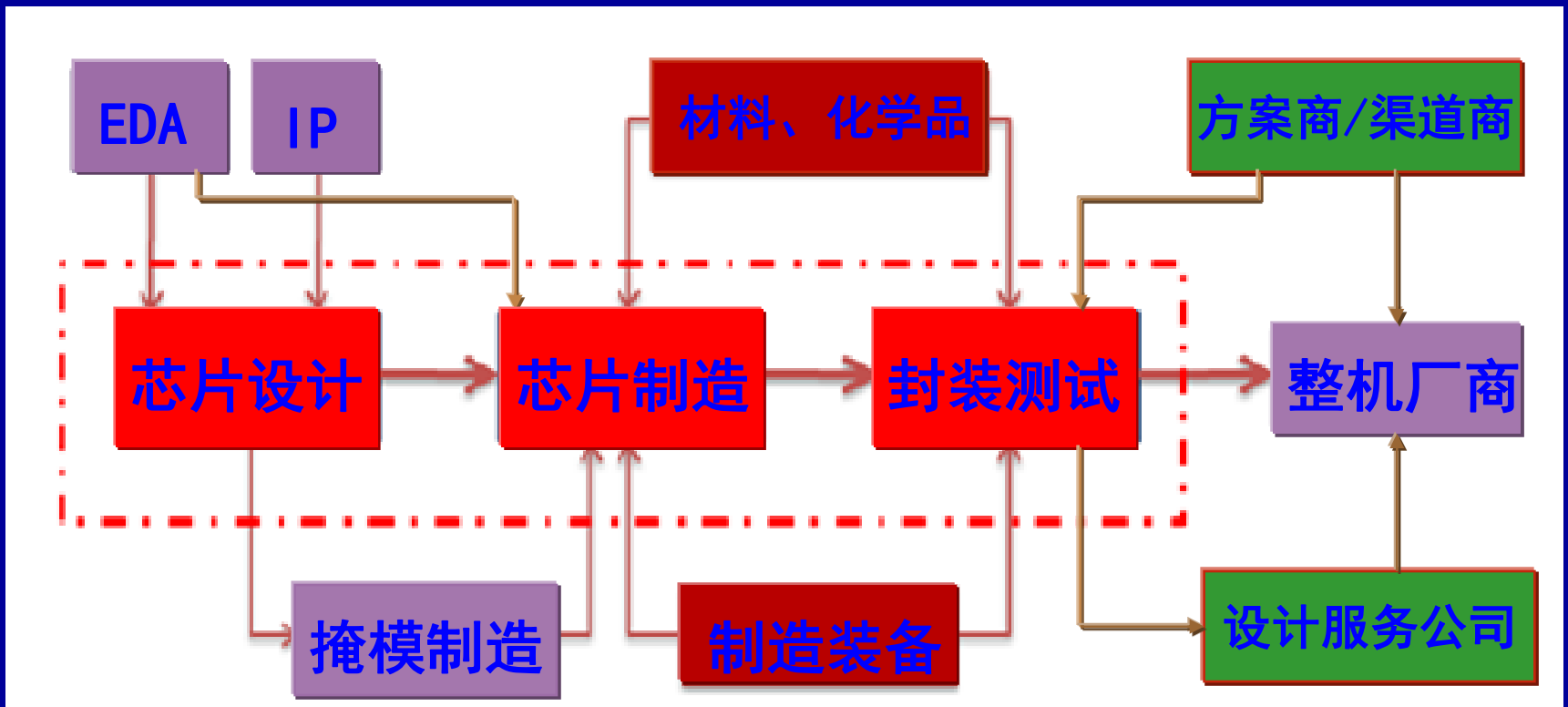
# 量子计算机

- 计算机的能耗对芯片的影响越来越大，能耗制约着芯片集成度
- 但只要把所有的不可逆门操作改造为可逆操作，就可以实现无能耗的计算
- 可以证明：所有经典不可逆计算机都可以改造成可逆计算机，而不影响计算能力。在量子力学中，可逆操作可以使用一个幺正矩阵来表示。Argonne国家实验室的Paul Benioff最早使用量子力学来描述可逆计算机。在量子可逆计算机中，使用一个二能级的量子体系来表示一位，这个量子体系处在量子态0和1上。

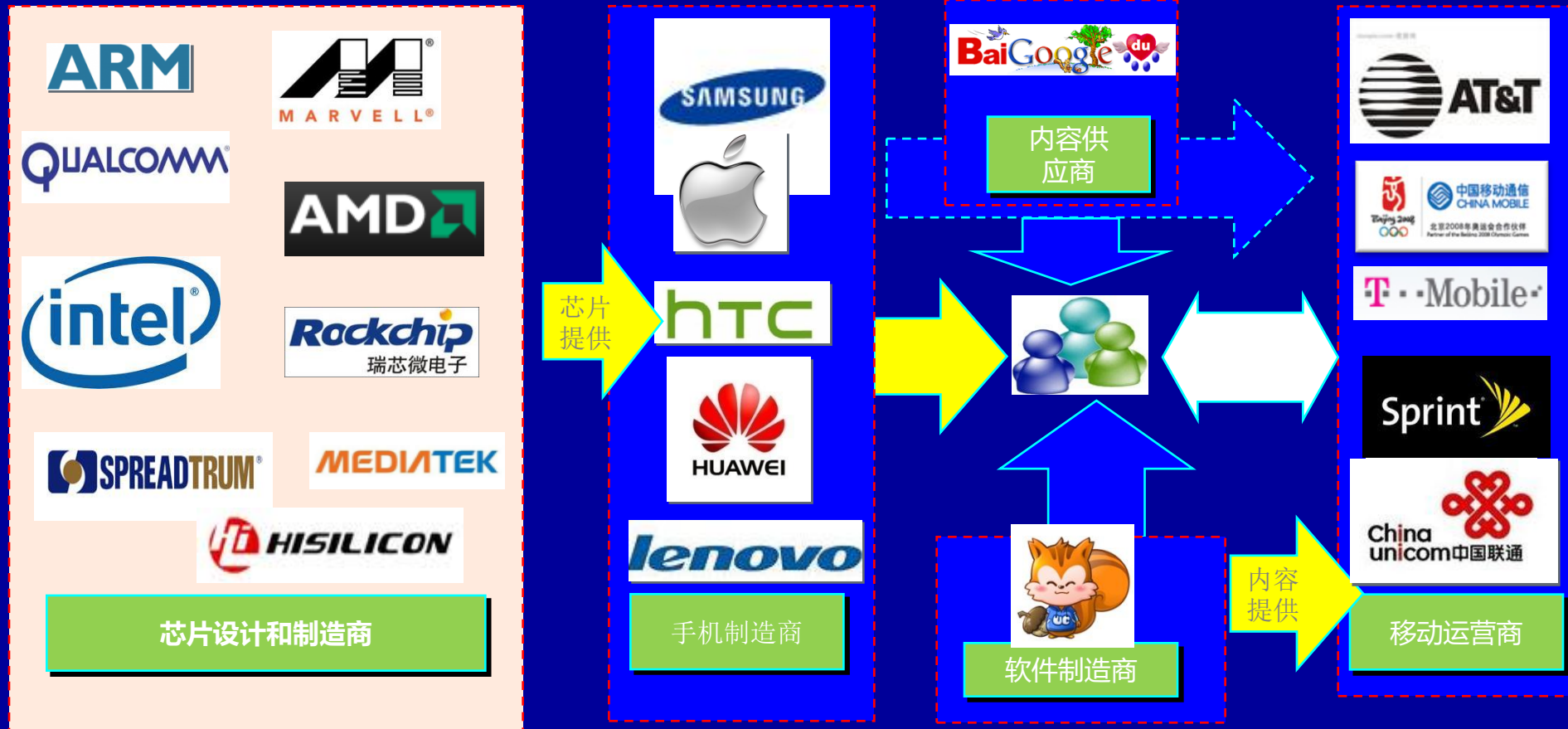


# Quantum computer device

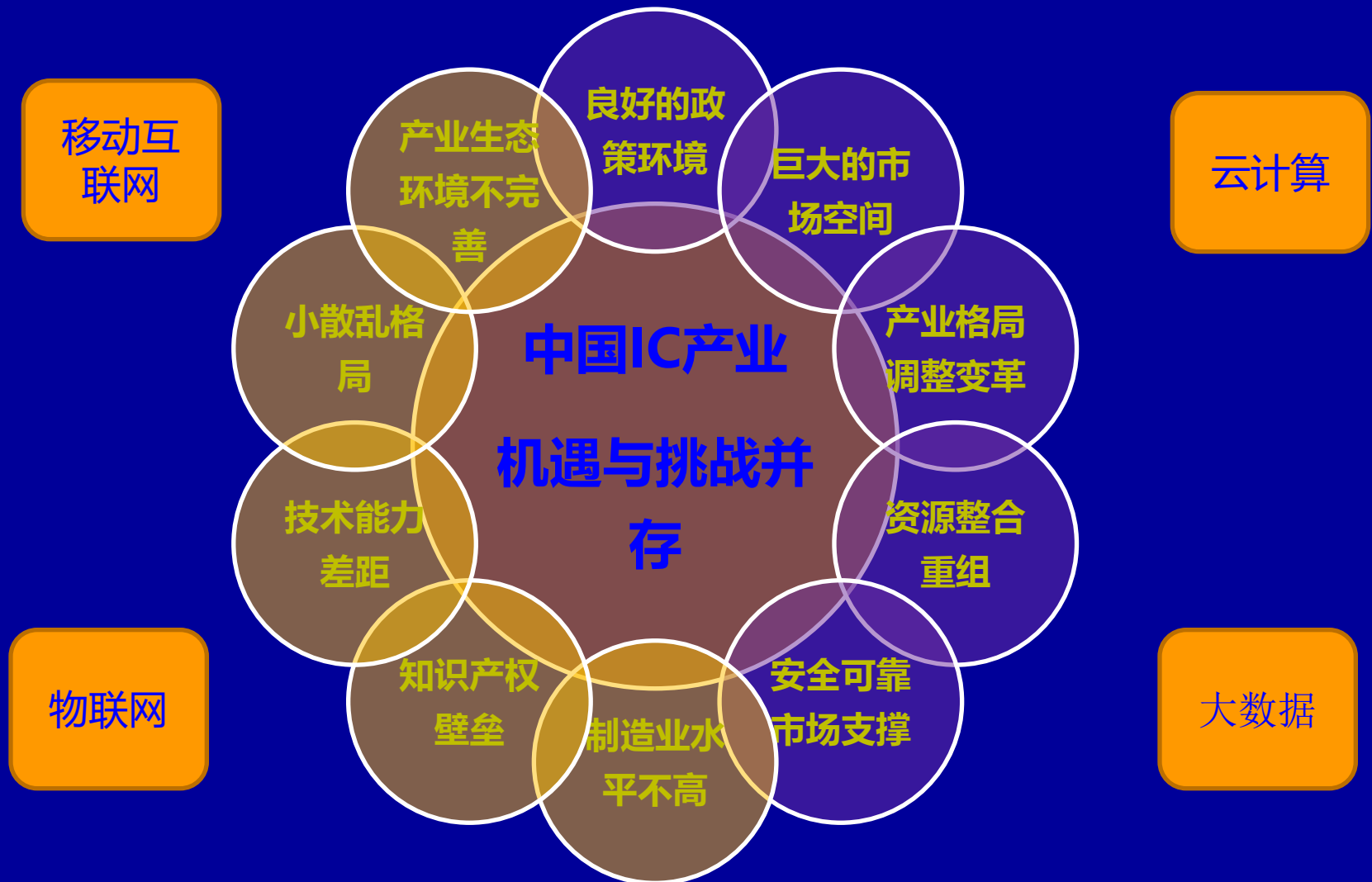
# 集成电路发展趋势

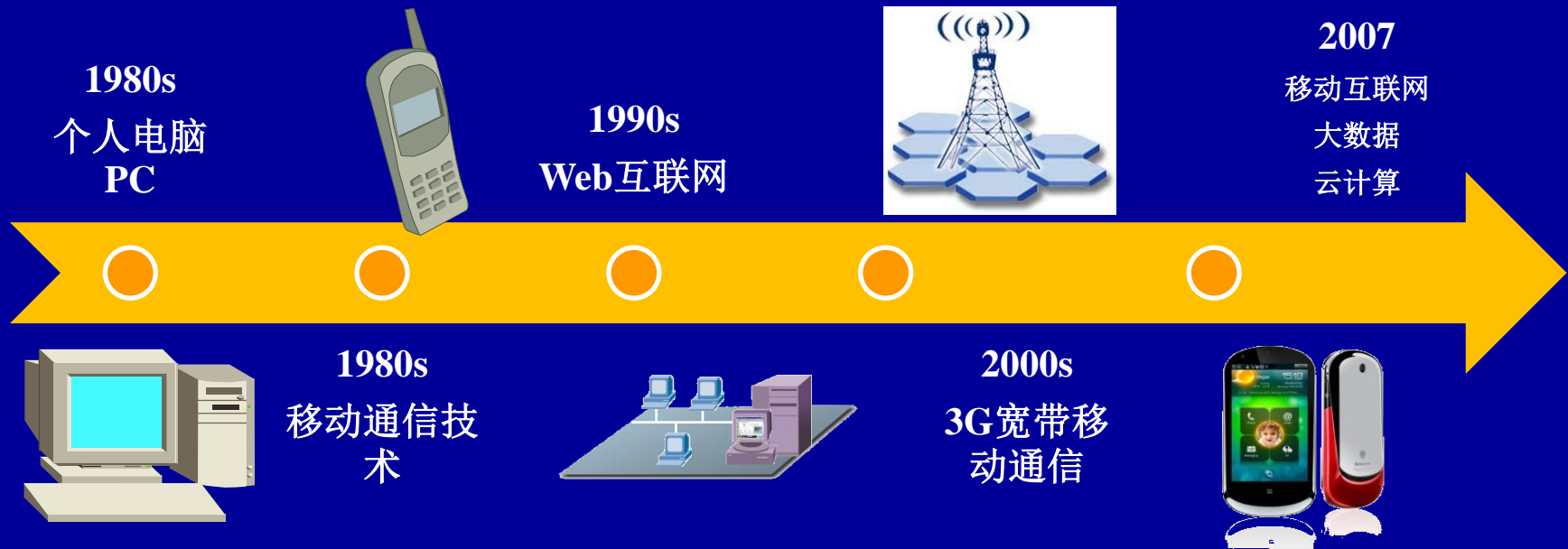


# 集成电路产业链示意图



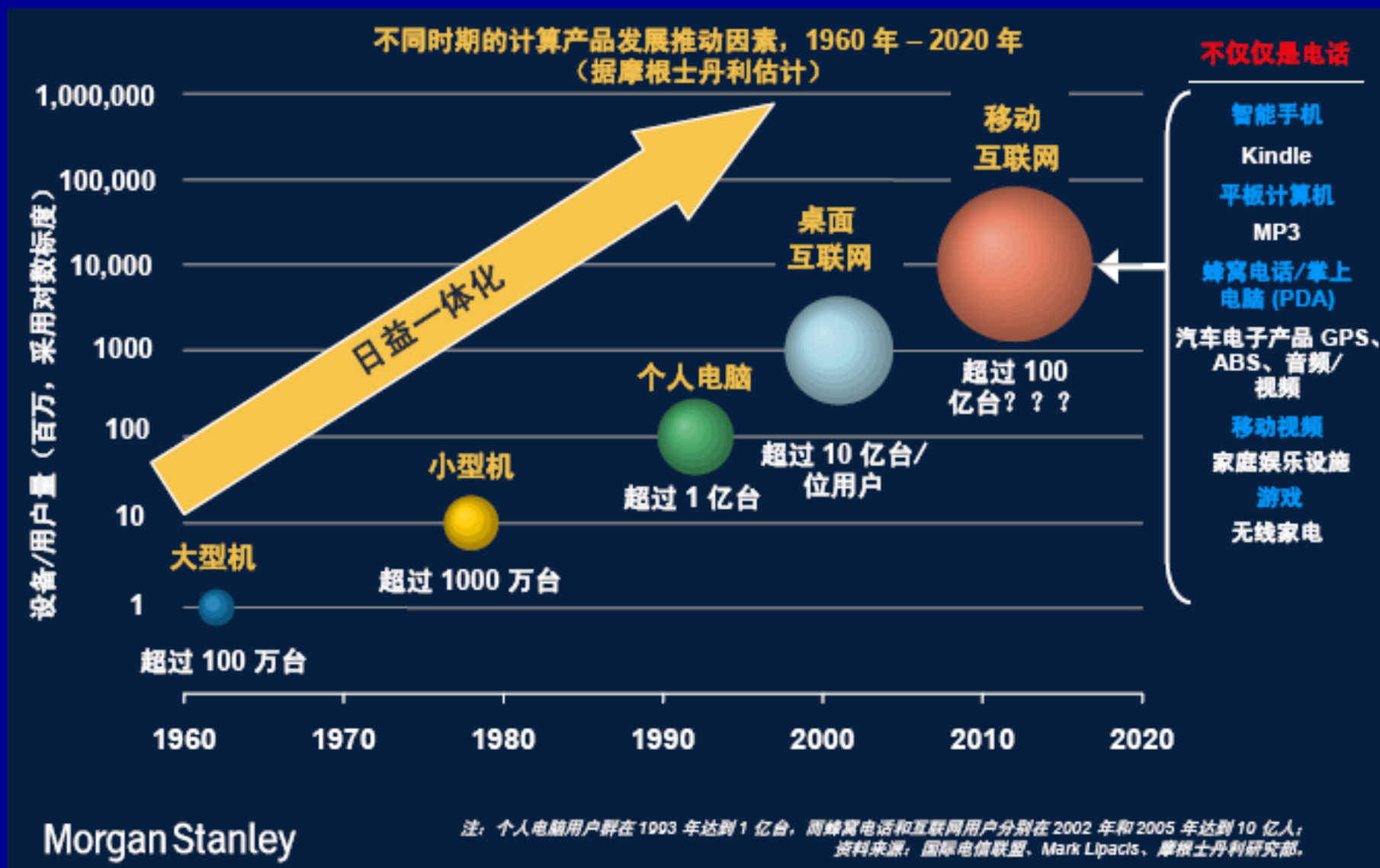
微电子技术是信息技术的基础与核心，IC产业是基础性、战略性、先导性的产业





- 2007年以后，在移动互联网、大数据、云计算等各种新应用、新产品带动下，微电子技术演进和IC市场格局正在发生新的深刻变化。
- 芯片工业重心从桌面设备向移动设备转移，同时ARM+安卓开放式的平台，使中国企业与国际巨头站在同一条起跑线上同台竞技。这是中国集成电路产业实现跨越式发展的难得契机。

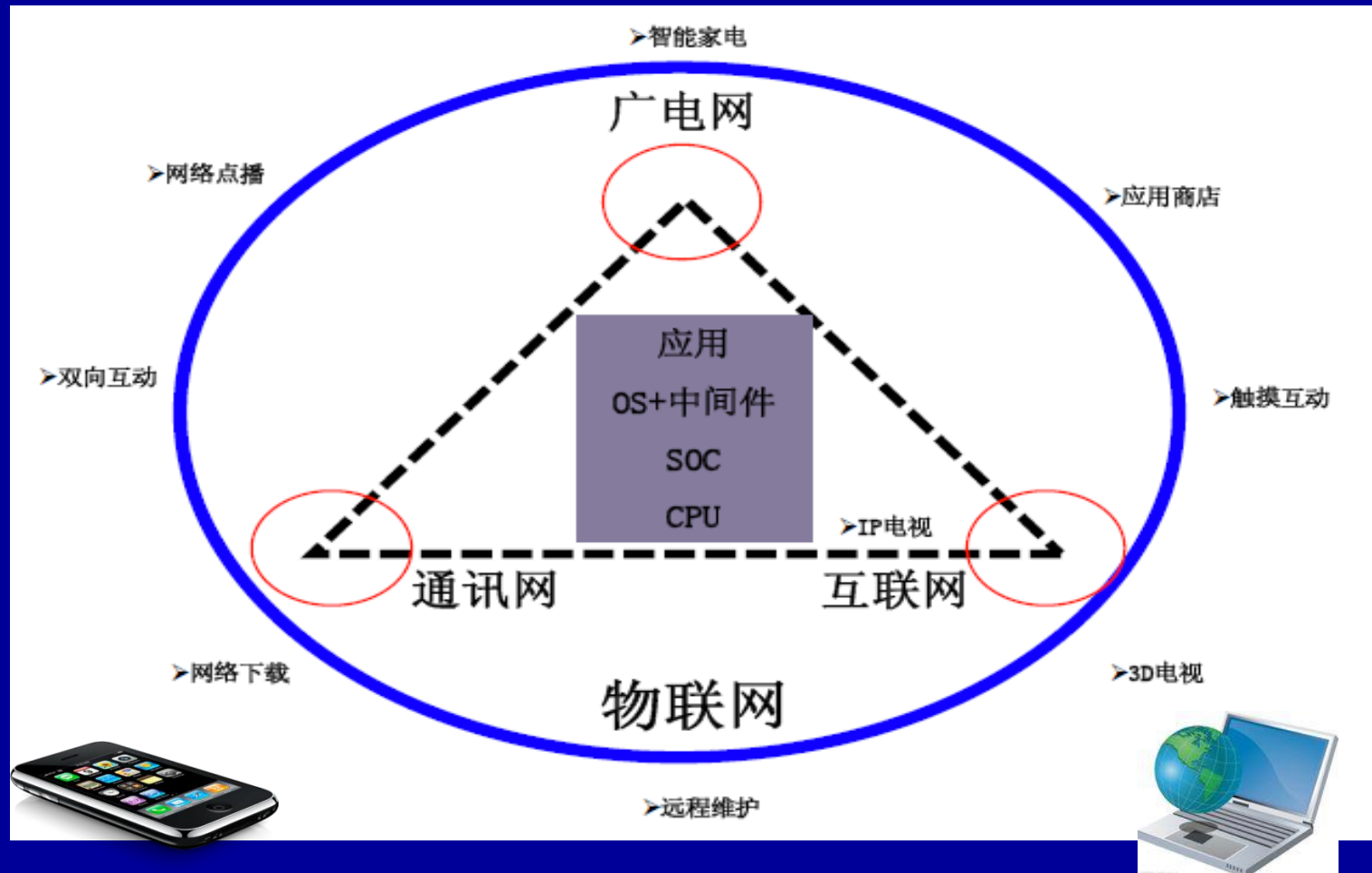




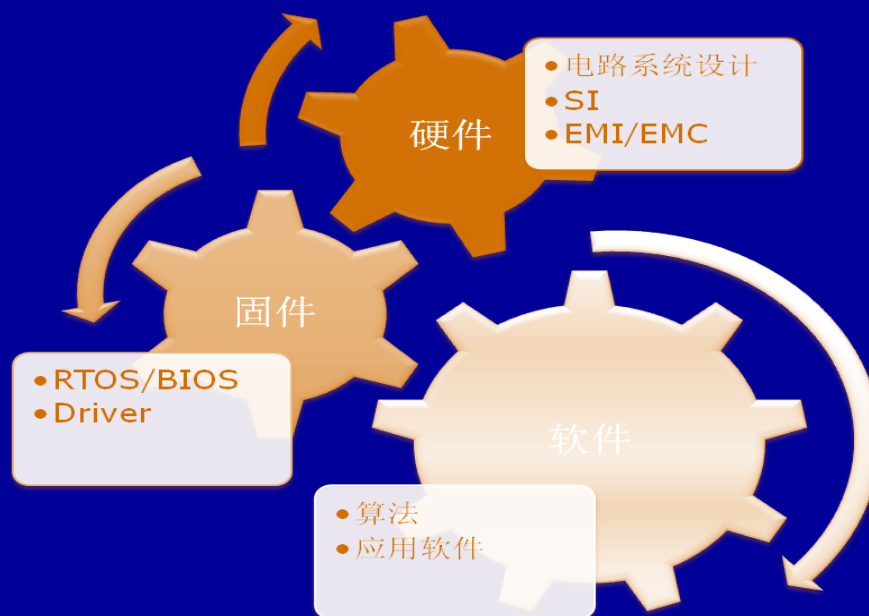
# 重大趋势一移动互联技术的发展



# 重大趋势一平台化SOC占主导



# 重大趋势一软硬结合引领应用创新



半导体业正由过去的CPU、处理器性能、硬件平台来表征，让位给硬件与软件的应用结合，即所谓应用平台。单纯的追求更好的工艺，未必能带来最好的效果。苹果的成功可以算是一个例子，苹果设计的芯片在功能和规格上都不能算是最好的，但是通过与iOS的紧密耦合和深度优化，使系统的性能达到最佳。基于Android的手机和平板电脑，其跑在Java虚拟机上的应用程序的功耗，比iOS上的同样应用高出30%左右。

# 机遇与挑战

- 半导体业正由过去的CPU、处理器性能、硬件平台来表征，让位给硬件与软件的应用结合，即所谓应用平台。单纯的追求更好的工艺，未必能带来最好的效果。苹果的成功可以算是一个例子，苹果设计的芯片在功能和规格上都不能算是最好的，但是通过与iOS的紧密耦合和深度优化，使系统的性能达到最佳。基于Android的手机和平板电脑，其跑在Java虚拟机上的应用程序的功耗，比iOS上的同样应用高出30%左右。
- 全球集成电路产业正在发生的这些变化，给了我们非常多的借鉴。从短期内来看，我们在制造工艺上想赶上Intel、三星和台积电是不太现实的，暂时还应付不了超高投入带来的巨大风险。但是在新型器件结构的研究开发上，硬件与软件的协同上，是能够有所作为的。特别是大量的行业应用其实并不需要最低的功耗、最高的性能，需要的是软硬一体、安全可靠、经济适用的应用平台，在这方面，我们完全可以大有作为。

# 机遇与挑战

研发与制造成本飙升，产业集中度更高

随着先进工艺制程带来投资额度呈几何级数的急剧翻升，是否有意愿，有能力跟进先进工艺制程，已成为顶级芯片制造商的最困难决定。线宽从28nm、20nm，降低到14nm、10nm甚至7nm。芯片制造厂的成本和芯片开发的成本呈指数级上升。以三星计划在西安投资建设存储器生产线为例，该生产线计划采用20nm以下的线宽，投资达到70亿美元。如果生产更加复杂的逻辑芯片，投资还要增加。加上后继的研发、升级改造、配套工艺库、IP核库的投入，总投资还要翻一到两番。业界测算年销售额必须大于100亿美元才符合基本建厂条件，届时，可能只有Intel、三星和台积电三家巨头还有能力投资下一代生产线。



# 机遇与挑战

芯片制造业竞争加剧，纷纷向上游投资绑定与下一代晶圆制造（18英寸，450mm晶圆）配套的半导体生产设备变得极为昂贵，由于只有几家客户和少量订单，设备厂商都不愿意继续开发新设备。因此，Intel、台积电都投资了荷兰的ASML公司，以确保下一代关键设备的研发。随着芯片技术的不断发展以及在实际产品中的广泛应用，对制造出更快、更省电的芯片的追求越演越烈。

# 机遇与挑战

多屏SOC主芯片架构趋于融合，平台化产品将盛行

随着工艺走向20nm，IC产品的种类会减少，平台化产品越来越起主导作用。从应用的角度看，未来的发展趋势是三网融合、一线入户、多屏互动。智能手机、平板电脑、智能电视等多屏应用加速融合，高性能、低功耗、低成本的规格需求趋同，以及以ARM-Android为基础的全球智能生态系统形成，导致各种屏智能产品的SOC主芯片关键技术与架构趋于融合。合理规划后的同一套SOC关键技术与架构，可基于不同配置，分别用于智能手机、平板电脑和智能电视，平台化SOC架构将成为未来的主要的IC产品形态。

# 总结与展望

- 按比例缩小尺寸、BiCMOS集成、SoC系统集成。
- 单电子存储器，高速超低功耗集成电路。
- 新材料新原理新工艺：如有机场效应晶体管，碳基类结构如 $\alpha$ -6T和 $C_{60}$ 新材料实现互补型器件
- 未来CMOS逻辑电路的发展方向：采用单个晶体管结构形成复杂的电路功能
- 集成电路三维器件模型，完善的计算机模拟工具
- 微纳电子学，量子效应器件及电路
- 极端应用条件下器件及集成电路
- 人工智能学习器件